



Titre: Analyse et conception des circuits de synthèse numérique
Title: d'horloges

Auteur: Dorin Emil Calbaza
Author:

Date: 2002

Type: Mémoire ou thèse / Dissertation or Thesis

Référence: Calbaza, D. E. (2002). Analyse et conception des circuits de synthèse numérique d'horloges [Thèse de doctorat, École Polytechnique de Montréal]. PolyPublie.
Citation: <https://publications.polymtl.ca/7092/>

 **Document en libre accès dans PolyPublie**
Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/7092/>
PolyPublie URL:

**Directeurs de
recherche:**
Advisors:

Programme: Non spécifié
Program:

UNIVERSITE DE MONTRÉAL
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

**ANALYSE ET CONCEPTION DES CIRCUITS DE SYNTHÈSE NUMÉRIQUE
D'HORLOGES**

DORIN EMIL CALBAZA
DÉPARTEMENT DE GÉNIE ÉLECTRIQUE

**THÈSE PRÉSENTÉE EN VUE DE L'OBTENTION
DU DIPLÔME DE PHILOSOPHIAE DOCTOR (Ph. D.)**

(GÉNIE ÉLECTRIQUE)

AVRIL 2002

© Dorin Emil Calbaza, 2002

National Library
of Canada

Bibliothèque nationale
du Canada

Acquisitions and
Bibliographic Services

Acquisitions et
services bibliographiques

395 Wellington Street
Ottawa ON K1A 0N4
Canada

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 0-612-81714-8

Our file Notre référence

ISBN: 0-612-81714-8

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

Canada

UNIVERSITE DE MONTRÉAL
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Cette thèse intitulée:

**ANALYSE ET CONCEPTION DES CIRCUITS DE SYNTHÈSE NUMÉRIQUE
D'HORLOGES**

présentée par : CALBAZA Dorin Emil
en vue de l'obtention du diplôme de : Philosophiae Doctor (Ph. D.)
a été dûment acceptée par le jury d'examen constitué de :

Mohamad Sawan	Ph. D., président
Yvon Savaria	Ph. D., membre et directeur de recherche
Mohamed I. ElMasry	Ph. D., membre externe
François R. Boyer	Ph. D., membre

À mes parents, à ma sœur, Mihaela.
À ma tante Steluta, à ma grande famille.

À ma femme Adriana,

À notre famille, à nos amis.

REMERCIEMENTS

Je désire remercier en premier mon directeur de recherche, Yvon Savaria, pour m'avoir accepté dans son groupe de recherche en microélectronique, pour les conseils et le support accordé tout au long de ma recherche.

Je remercie aussi les professeurs de l'École Polytechnique de Montréal, de l'Université de Montréal, et de l'Université McGill, qui m'ont donné les connaissances nécessaires pour compléter mes recherches. En particulier je désire remercier les professeurs : Mohamad Sawan, El Mostapha Aboulhamid, Guy Bois, Karim Arabi et Gordon Roberts.

Je remercie pour leur soutien financier et pour les conseils reçus les sociétés Miranda, Gennum, Micronet et la Société Canadienne de Microélectronique. Je remercie aussi les personnes qui m'ont assisté et conseillé: Jocelyn Ouellet, Gilles Chouinard, Christian Soucy, Xiaojian Liu, Hsu Ho.

Je remercie mes collègues avec qui j'ai partagé des idées : Yann Deslauriers, Hugues Langlois, Pascal Nsame, Eric Granger, Laurentiu Birsan, Alexandre Fortin, Jean Marc-Tremblay, Marc-André Cantin, Tatu Serioja et Youcef Fouzar.

Je remercie aussi les professeurs de l'Université Technique de Cluj-Napoca, Roumanie, pour m'avoir appris les fondements de mes connaissances en électronique.

RÉSUMÉ

Cette thèse explore des méthodes efficaces de synchronisation entre deux horloges de fréquences différentes, fréquences reliés par des rapports de division rationnels et arbitraires. Les méthodes de synchronisation dont on parle dans cette thèse sont basées sur la génération d'une horloge d'une fréquence désirée, à partir d'une autre horloge ayant une fréquence de référence. Le rapport de division entre la fréquence désirée et la fréquence de référence est donné par un nombre rationnel arbitraire.

Des études précédentes ont montré que les accumulateurs de phase peuvent être utilisés pour générer des horloges de fréquences contrôlées numériquement avec une grande précision. Notre but est de réaliser des circuits de synthèse d'horloge intégrés capables d'atteindre des fréquences de 500MHz, avec une gigue inférieure à 400ps. Ces performances sont exigées par les normes de télévision numérique.

Nous proposons un modèle de gigue pour les circuits de synthèse numérique de fréquence (DDS), modèle qui décrit la valeur de la gigue de sortie d'un circuit DDS en fonction des paramètres de design, et qui peut être utilisé pour faire des choix de design optimaux. Par la suite, on propose une méthode de correction de l'erreur produite par les accumulateurs de phase utilisés pour synchroniser des horloges ayant des fréquences déterminées par un rapport de division arbitraire. Le modèle de gigue et la méthode de correction ont été vérifiés par la réalisation d'un circuit DDS dans une technologie CMOS à 0.35 microns.

Finalement on propose un circuit DDPS, qui réalise une synthèse numérique de période, capable de surpasser les performances des circuits DDS standard en termes de fréquence de sortie et de faible gigue. Ce circuit a été réalisé en technologie CMOS à 0.25 microns, et il présente des résultats expérimentaux supérieurs aux solutions DDS connues. Ce type de circuit devient le candidat idéal pour les problèmes de synchronisation et la génération des horloges. Parmi ses applications, nous retrouvons la télévision numérique, les systèmes de téléphonie cellulaire, les systèmes radar, les processeurs rapides et toutes les autres applications qui nécessitent une fréquence de sortie élevée.

ABSTRACT

This thesis explores efficient methods to synchronize two clocks having different frequencies that are linked by arbitrary rational divide ratios. The synchronization methods described in this thesis are based on the generation of a clock having the desired frequency, by using another clock as a reference frequency. The divide ratio between the reference frequency and the desired frequency is given by an arbitrary rational number.

Previous studies have shown that phase accumulators can be used to generate clocks that have a frequency controlled digitally, with a high precision. Our goal is to implement clock synthesis circuits that can produce frequencies up to 500MHz, with a jitter smaller than 400ps. Those performances are required by digital television standards.

We propose a jitter model for direct digital synthesis circuits (DDS). This model describes the value of the output jitter of a DDS circuit depending on the design parameters. It can be used to make optimal design decisions. We then propose a correction method for the error produced by the phase accumulators used to synchronize clocks having frequencies related by arbitrary divide ratios. The jitter model and the correction method have been verified by implementing a DDS circuit using 0.35 microns CMOS technology.

Finally, we propose a direct digital period synthesis (DDPS) circuit that can surpass the standard DDS circuits, in terms of output frequency and low jitter. This circuit has been

realized in 0.25 micron CMOS technology. It has produced experimental results superior to known DDS solutions. This kind of circuit is ideal for synchronization and clock synthesis problems; its applications include digital television, cellular phone systems, radar systems, fast processors and all other applications that require a high output frequency and a low jitter.

TABLE DES MATIÈRES

DÉDICACE.....	iv
REMERCIEMENTS.....	v
RÉSUMÉ.....	vi
ABSTRACT.....	viii
TABLE DES MATIÈRES.....	x
LISTE DES ANNEXES.....	xiv
LISTE DES FIGURES.....	xvi
LISTE DES TABLEAUX.....	xx
LISTE DES SIGLES ET ABRÉVIATIONS.....	xxi

CHAPITRE 1. Introduction générale.....	1
1.1. Problématique.....	1
1.2. Objectifs et méthodologie.....	2
1.3. Contributions.....	3
1.4. Publications.....	4
1.5. Plan de thèse.....	6

CHAPITRE 2. Revue de littérature.....	8
2.1. Définitions sur la gigue.....	8
2.2. Une solution classique.....	15
2.3. L'approche DDS.....	17
 CHAPITRE 3. Un modèle de gigue pour les DDS	
utilisés comme générateurs d'horloge.....	25
3.1. Les sources de gigue d'un circuit DDS.....	26
3.1.1. La gigue de l'horloge d'entrée.....	30
3.1.2. La résolution de l'accumulateur de phase.....	40
3.1.3. La résolution du LUT.....	44
3.1.4. La résolution du DAC.....	46
3.1.5. La précision du DAC.....	49
3.1.5.1. La limite de fréquence du DAC.....	49
3.1.5.2. La non-linéarité du DAC.....	49
3.1.6. Les caractéristiques du filtre.....	51
3.1.7. La précision du comparateur.....	54
3.2. Le modèle de sommation de la gigue.....	54
3.3. Les étapes de conception d'un circuit DDS.....	56

CHAPITRE 4. Direct Digital Frequency Synthesis

of Low-Jitter Clocks.....	59
4.1. Introduction.....	64
4.2. Existing Solutions.....	67
4.2.1. Resetting the Phase Accumulator.....	67
4.2.2. Variable modulus digital synthesizer.....	67
4.3. Proposed Architecture.....	68
4.4. Experimental Results.....	71
4.5. Conclusion.....	74
4.6. Acknowledgements.....	74

CHAPITRE 5. A direct digital period synthesis circuit 75

5.1. Introduction.....	77
5.2. The DDPS.....	82
5.3. The Transition selector.....	87
5.4. Jitter estimation.....	92
5.5. Experimental results.....	93
5.6. Applications.....	100
5.7. Conclusion.....	101
5.8. Acknowledgements.....	102

CHAPITRE 6. Discussion et conclusion.....	103
6.1. Discussion générale.....	103
6.2. Directions des recherches futures.....	106
6.3. Conclusion.....	108
 Références.....	 110

LISTE DES ANNEXES

ANNEXE A. Jitter model of DDS Clock Generators.....	115
I. Introduction.....	117
II. Jitter sources of a DDS clock generator.....	125
A. The input clock jitter.....	129
B. Resolution of the Phase Accumulator.....	139
C. Bit resolution of the LUT.....	142
D. Bit resolution of the DAC.....	144
E. The accuracy of the DAC.....	147
1) DAC frequency limit.....	147
2) DAC Non-linearity.....	147
F. Filter Characteristics.....	149
G. Accuracy of the comparator.....	152
III. DDS Output jitter.....	152
IV. DDS Design steps.....	155
V. Experimental results.....	157
VI. Conclusion.....	161

ANNEXE B. Direct Digital Frequency Synthesis of Low Jitter Clocks... 163

I.	Introduction.....	165
II.	Existing Solutions.....	171
	A. Resetting the Phase Accumulator.....	171
	B. Variable modulus digital synthesizer.....	173
III.	Proposed Architecture.....	176
IV.	Conclusion.....	182
V.	Acknowledgements.....	183

ANNEXE C. Phase increment's control mechanism

	for the DDFS of low-jitter clocks.....	184
--	--	-----

ANNEXE D. A Direct Digitally Delay Generator..... 189

I.	Introduction.....	191
II.	Existing Solutions.....	195
	A. DDS-PLL combinations.....	195
	B. Eliminating the LUT.....	196
	C. Using a digitally controlled delay generator.....	196
	D. Using delay line loops circuits.....	197
III.	Proposed Architecture.....	198
IV.	Conclusion.....	203
V.	Acknowledgements.....	203

LISTE DES FIGURES

Fig. 2.1	Une approche classique.....	16
Fig. 2.2	La structure générale d'un circuit DDS.....	19
Fig. 2.3	Le signal produit par le circuit DDS.....	20
Fig. 2.4	Le spectre du signal DDS.....	21
Fig. 3.1	La structure générale d'un circuit DDS.....	26
Fig. 3.2	Divers mécanismes qui contribuent à la gigue : a) perturbation de phase, b) perturbation d'amplitude, c) bruit.....	27
Fig. 3.3	La contribution de la gigue d'entrée.....	35
Fig. 3.4	Accumulateur de phase avec circuit de remise à zéro.....	42
Fig. 3.5	La contribution due à la limite de fréquence du DAC : a) signal idéal produit par un circuit DDS, b) bruit de transition, c) signal réel avec du bruit de transition, d) spectre du signal idéal, e) spectre du bruit de transition, f) spectre du signal réel.....	50
Fig. 3.6	Contribution due aux caractéristiques du filtre : a) amplitudes des composantes à l'entrée du filtre et b) à la sortie du filtre	52

Fig. 4.1	Contrôleur qui module l'incrément de phase.....	62
Fig. 4.2	General structure of a DDS circuit.....	65
Fig. 4.3	Controlling the phase increment number.....	69
Fig. 4.4	The uniform distribution of Ph0 and Ph1.....	70
Fig. 4.5a)	Experimental results – one period jitter.....	72
Fig. 4.5b)	Experimental results – accumulated jitter.....	72
Fig. 4.6	The Chip Photograph.	73
Fig. 5.1	DDS circuit.....	79
Fig. 5.2	The Block diagram of the DDPS.....	83
Fig. 5.3	Timing diagram.....	84
Fig. 5.4	The basic principle of the TSEL circuit.....	88
Fig. 5.5	Practical implementation of the TSEL delay modulator.....	90
Fig. 5.6	Photograph of the DDPS prototype.	94
Fig. 5.7	Peak-to-peak jitter.....	95
Fig. 5.8	Spectrum for different output frequencies	
	a) $f_{Oc}=362.48\text{MHz}$, span 100MHz	
	b) $f_{Oc}=366.2297\text{MHz}$, span 30MHz	
	c) $f_{Oc}=366.2297\text{MHz}$, span 500KHz	
	d) $f_{Oc}=366.781\text{MHz}$, span 1MHz.....	96
Fig. 5.9	Simulation results.....	97
Fig. 5.10	Changing the output frequency.....	99

Fig. A.1	A classical PLL synchronizer.	119
Fig. A.2	General structure of a DDS circuit.	121
Fig. A.3	The signal produced by the DDS circuit.....	122
Fig. A.4	The spectrum of DDS signal.	123
Fig. A.5	Illustrates how the jitter can appear: a) phase error, b) amplitude error c) level errors.....	126
Fig. A.6	The input clock jitter contribution.	134
Fig. A.7	The phase accumulator limited resolution contribution.	141
Fig. A.8	DAC frequency limit contribution: a) Signal produced by an ideal DAC, b) glitches produced by a real DAC, c) signal produced by a real DAC, d) spectrum of signal produced by an ideal DAC, e) spectrum produced by the glitches, f) spectrum of the real signal.....	148
Fig. A.9	Filter characteristics contribution: a) amplitudes of DDS spectrum at filter's input, and b) at filter's output.....	150
Fig. A.10	The Final Layout.	158
Fig. A.11a)	Experimental results – one period jitter.....	159
Fig. A.11b)	Experimental results – low-band jitter.....	159
Fig. B.1	The general structure of a DDS circuit.....	166
Fig. B.2	The timing diagram of the DDS signal.....	167
Fig. B.3	The DDS spectrum.....	169
Fig. B.4	Resetting the phase accumulator.....	172

Fig. B.5a	VMDS structure.....	174
Fig. B.5b	VMDS timing diagram.....	174
Fig. B.6	Alternating the phase increment number.....	177
Fig. B.7	Controlling the phase increment number.....	179
Fig. B.8a)	The simple distribution of Ph0 and Ph1.....	180
Fig. B.8b)	The uniform distribution of Ph0 and Ph1.....	180
Fig. B.9	The Chip Layout.	183
Fig. C.1	The control circuit.....	186
Fig. D.1	DDS circuit.....	192
Fig. D.2	DDS spectrum.....	193
Fig. D.3	Block diagram of a DCDL.....	198
Fig. D.4	Block diagram of DDPS	199
Fig. D.5	Timing diagram.....	200
Fig. D.6	Simulation results.....	202

LISTE DES TABLEAUX

Tableau 2.1	Rapports de division communs entre les fréquences vidéo et audio...	15
Table 4.1	Comparison between different DDS.....	73
Table 5.1	Comparison between different DDS.....	100
Table A.1	Useful frequency ratios.....	117
Table A.2	Comparison between different DDS.....	160

LISTE DES SIGLES ET ABRÉVIATIONS

$\lfloor X \rfloor$ - La valeur du X arrondie en bas.

$\lceil X \rceil$ - La valeur du X arrondie en haut.

Acc – Accumulateur (Accumulator)

AVAR – La Variance d’Allan (Allan Variance)

CMOS – MOS Complémentaire (Complementary MOS)

CMC – Société Canadienne de Microélectronique (Canadian Microelectronics Corporation)

DAC – Convertisseur numérique analogique (Digital to Analog Converter)

DCDL – Ligne de Delay contrôlée numériquement (Digitally Controlled Delay Line)

DCO – Oscillateur commandé numériquement (Digital Controlled Oscillator)

DDDG – Générateur numérique de délai (Direct Digitally Delay Generator)

DDS – Synthèse Numérique de Fréquence (Direct Digital Synthesis)

DDPS – Synthétiseur numérique de période (Direct Digital Period Synthesis)

DLL – Boucle de délai asservie (Delay Line Loop)

DTV – Télévision Numérique (Digital Television).

FPGA – Puce numérique programmable (Field Programmable Gate Array)

HDTV – Télévision Numérique de Haute définition (High definition TV)

JSSC – IEEE Journal of Solid State Circuits

LSB – Le bit de poids faible. (Least Significant Bit)

LUT – Table de reference (Look-Up Table)

MSB – Le bit de poids fort (Most Significant Bit)

NCXO – DCO à base de quartz (Quartz based DCO)

PLL – Boucle à verrouillage de phase (Phase Locked Loop)

PWM – Impulsions modulées en durée (Pulse Width Modulation)

PSRR – Taux de rejet de la fluctuation de la tension d'alimentation (Power Supply Rejection Ratio)

ROM – Mémoire non-volatile (Read-Only Memory)

SCM – Société Canadienne de Microélectronique (Canadian Microelectronics Corporation)

SMPTE - The Society of Motion Pictures and Television Engineering

SoC – Système intégré dans une puce (System On a Chip)

TSMC –Taiwan Semiconductor Microelectronic Corporation.

VCO – Oscillateur commandé par tension (Voltage Controlled Oscillator)

VCXO – VCO à base de quartz (Quartz based VCO)

Chapitre 1.

Introduction générale

1.1. Problématique

Ce travail de recherche a débuté en juin 1997, à la demande d'un partenaire industriel, la société Miranda Technologies Inc. La société Miranda est active dans le domaine de la télévision numérique (DTV). Parmi leurs produits se trouvent des circuits utilisés pour insérer des données audio dans le flot des données vidéo. Ces produits ont besoin de synchroniser des horloges audio avec des horloges vidéo et ces horloges ont des fréquences différentes.

Les spécifications données par la société Miranda exigeaient que l'horloge audio soit produite à partir d'une horloge vidéo ayant une gigue inférieure à 1ns. L'horloge audio obtenue devrait avoir une gigue d'au maximum 1ns, incluant la gigue accumulée à long terme. Cette spécification rendait le problème difficile.

Un effort important a été consacré pour définir le problème et trouver des solutions au problème de synchronisation. Le paragraphe suivant explique les raisons qui nécessitent l'utilisation de la synthèse numérique de fréquence (DDS) pour résoudre ce problème.

1.2. Objectifs et méthodologie

Les circuits DDS permettent de contrôler avec une grande précision le rapport de division entre les fréquences de deux signaux. Il permet donc d'obtenir un signal qui a une fréquence contrôlée avec une grande précision en utilisant un autre signal comme référence. La technique DDS semblait donc être une bonne candidate pour la synchronisation entre les horloges vidéo et audio en télévision numérique.

La littérature existante caractérisait les erreurs générées par les circuits DDS, et implicitement la gigue, d'un point de vue déterminé par les applications dans les systèmes de télécommunication. Ces modèles d'erreur donnent les valeurs de la gigue de phase et les caractéristiques spectrales du signal produit par les circuits DDS. Ils ne sont pas directement utilisables pour caractériser la performance des circuits de synchronisation. Nous avons du faire un travail de recherche considérable pour caractériser le fonctionnement d'un DDS afin de pouvoir prédire la valeur maximale de la gigue temporelle à sa sortie.

Plusieurs applications des circuits DDS en télécommunication sont satisfaites par une caractéristique du DDS classique, qui exprime les rapports de division avec un dénominateur défini comme une puissance de 2. Les applications du DDS dans la télévision numérique exigent que le rapport de division puisse être défini par n'importe

quel nombre rationnel. Nos recherches ont fourni des solutions pour obtenir des DDS produisant des rapports de division exprimés par des nombres arbitraires.

Finalement les circuits DDS connus ont des limites en ce qui concerne la capacité de générer des fréquences de sortie élevées ou de générer des horloges à faible gigue. De plus, avec la réduction d'échelle de la technologie CMOS, les tensions d'alimentation sont réduites, ce qui rend plus difficile l'intégration de toutes les parties d'un DDS dans une seule puce. Nos travaux de recherche se sont concentrés à trouver des solutions à ces problèmes. Ces recherches ont conduit à un nouveau genre de circuit DDS, le circuit de synthèse numérique de période, présenté dans le cadre de ce travail.

1.3. Contributions

La modélisation de la gigue temporelle du signal de sortie d'un circuit DDS représente une solution originale, qui peut être utilisée pour faire des choix de design optimaux. Ce modèle de gigue analyse les sources d'erreur d'un circuit DDS standard, et détermine leur contribution à la gigue temporelle du signal de sortie.

Cette thèse présente aussi une méthode de correction (D. Calbaza, Y. Savaria –“Direct digital frequency synthesis of low jitter clocks” IEEE Journal of Solid-State Circuits, Vol.36, No.3, Pp. 570-572, March 01) de l'erreur produite par les accumulateurs de phase utilisés pour synchroniser des horloges ayant des fréquences déterminées par un rapport

de division rationnel arbitraire. Cette méthode est une contribution originale qui permet d'éliminer l'erreur de phase associée aux rapports de division arbitraires.

Finalement, un nouveau circuit de synthèse numérique de période (D. Calbaza, Y. Savaria - "A direct digital period synthesis circuit" soumis pour publication au Journal of Solid-State Circuits) est le résultat d'une idée originale. Les performances mesurées de ce nouveau circuit dépassent celles des circuits DDS connus en ce qui concerne les fréquences maximales atteignables et la faible gigue du signal de sortie.

1.4. Publications

Cette thèse a fait l'objet d'un certain nombre de publications, de circuits expérimentaux fabriqués et testés, ainsi que d'un prix reçu pour la pertinence de la recherche dont:

Articles de revue :

1. D. Calbaza, Y. Savaria –"Direct digital frequency synthesis of low jitter clocks"
IEEE Journal of Solid-State Circuits, Vol.36, No.3, Pp. 570-572, March 01.
2. D. Calbaza, Y. Savaria - "A direct digital period synthesis circuit" soumis pour publication au Journal of Solid-State Circuits.

Articles de conférence :

1. D. Calbaza, Y. Savaria - "Jitter model of DDS clock generators" Proceedings of ISCAS'99 Volume I Section 2 Paper1 on Compact disc
2. D. Calbaza, Y. Savaria –"Direct digital frequency synthesis of low jitter clocks" Proceedings of CICC'2000, Session 3, paper 2
3. D. Calbaza, Y. Savaria - "A direct digitally delay generator" Proceedings of IEEE CAS 2000, V1, pp 87-90, Sinaia, Romania

Circuits expérimentaux :

1. Un circuit DDS standard a été fabriqué en technologie CMOS à 0.35 microns. Ce circuit vérifie le modèle de gigue proposé dans le chapitre 2 de cette thèse. Il applique la méthode de correction définie au chapitre 3 de cette thèse. Le circuit a été fabriqué et les résultats expérimentaux sont convaincants.
2. Un deuxième circuit a été fabriqué en technologie CMOS à 0.25 microns. Ce circuit est un prototype pour la synthèse numérique de période. Il fonctionne bien et ses performances mesurées surpassent celles des circuits DDS connus.

Prix reçu :

2000 Strategic Microelectronics Consortium Industrial Collaboration Award – Dorin Emil Calbaza, École Polytechnique de Montréal.

1.5. Plan de thèse

Le chapitre 2 présente une revue de littérature sur les définitions de la gigue, sur les solutions possibles au problème de synchronisation, ainsi que sur les avantages de la méthode de synthèse numérique de la fréquence. Ce chapitre familiarise le lecteur avec la problématique qui fait l'objet de cette recherche.

Le chapitre 3 présente un modèle de gigue des circuits DDS. Le modèle de gigue des circuits DDS prédit la valeur maximale de la gigue de l'horloge de sortie et donne la possibilité de faire des choix de design optimaux. Ce modèle théorique a fait l'objet d'un article présenté à la conférence ISCAS'99 [1], une version enrichie de cet article est présentée dans l'annexe A.

Le chapitre 4 présente la méthode de correction de l'erreur associée aux accumulateurs de phase qui expriment des rapports de division arbitraires, méthode de correction publiée dans le Journal of Solid-State Circuits. Ce chapitre fait aussi référence à l'article de conférence présenté à CICC'2000, qui se trouve à l'annexe B. Cette méthode de correction utilise un circuit de contrôle de l'incrément de phase présenté dans l'annexe C.

Le chapitre 5 présente le circuit de synthèse numérique de période soumis pour publication au Journal of Solid-State Circuits. De plus ce chapitre fait référence à un article de conférence présenté à CAS2000 qui se trouve dans l'annexe D.

Cette thèse est écrite en format de "thèse par articles". Les chapitres 4 et 5 sont basés sur les articles de revue cités plutôt.

Chapitre 2.

Revue de littérature

Ce chapitre formule le problème de synchronisation. Dans les paragraphes suivants, on présente des définitions sur la gigue, des circuits de synchronisation et des circuits de synthèse numérique de fréquence, ainsi qu'un modèle de gigue des circuits de synthèse numérique de fréquence.

2.1. Définitions sur la gigue

Il existe plusieurs définitions de la gigue dans la littérature, ce qui peut générer des ambiguïtés. Il est assez commun d'utiliser le terme de gigue, aussi bien pour parler de la gigue de phase que pour parler de la gigue temporelle. Les prochains paragraphes permettent de nous positionner par rapport à ces définitions.

Dans les systèmes synchrones, comme les systèmes de télévision numérique, le moment de transition de l'horloge est sujet à des erreurs temporelles. L'équation 2.1 décrit une horloge (Clk) sujet à une gigue.

$$Clk(t) = \sum_{k=-\infty}^{\infty} \left\{ \sigma[t - k \cdot T + j(k)] - \sigma[t - (k + \frac{1}{2}) \cdot T + j_1(k)] \right\} \quad (2.1)$$

Dans cette équation, σ est la fonction de saut unitaire ('step function' en anglais), T est la période de l'horloge et $j(k)$ et $j_1(k)$ sont des erreurs temporelles. La dépendance temporelle du k nous permet de définir la gigue $j(t)$ dans l'équation 2.2 :

$$j(t) = j(k), \quad \text{pour } t \in (kT, kT + T) \quad (2.2)$$

L'équation 2.2 permet de définir la gigue comme les variations des moments de transition d'une horloge réelle par rapport aux positions idéales en temps. On peut extrapoler l'équation 2.1 et la définition précédente pour un signal numérique quelconque constitué d'une série arbitraire des valeurs 1 et 0. Pour ce signal, la gigue peut être définie par les variations des moments de transition d'un signal numérique par rapport à leur position idéale dans le temps [2,3].

La gigue de phase est souvent utilisée comme terme dans les systèmes de télécommunications. L'équation 2.3 présente un modèle connu du signal d'un oscillateur :

$$V(t) = V \cdot \sin(2\pi f_0 \cdot t + \phi(t)) \quad (2.3)$$

Dans cette équation $f_0=1/T$ est la fréquence d'oscillation et $\phi(t)$ est le bruit de phase de l'oscillateur. Ce bruit est parfois appelé erreur de phase ou gigue de phase. Cette gigue de phase est une des caractéristiques des systèmes de télécommunications.

Habituellement, le bruit de phase est caractérisé par sa distribution spectrale $S\phi(f)$. La distribution spectrale du bruit de phase est un paramètre important pour caractériser les équipements de télécommunication, mais elle est inutilisable telle quelle pour les systèmes synchrones. Trouver une relation entre la distribution spectrale du bruit de phase, $S\phi(f)$, et la gigue temporelle peut s'avérer assez difficile. De plus ce n'est pas le but de cette thèse. Intuitivement on peut considérer que la période de l'horloge correspond à 2π radians, dont :

$$j(t) = \phi(t) \cdot \frac{T}{2\pi} \quad (2.4)$$

Cependant, comme le prouvent [4,5] la relation entre la gigue et la distribution spectrale du bruit de phase est plus complexe et difficile à utiliser.

Le problème est rendu encore plus difficile par les possibilités de mesure. Il est pratiquement impossible de déterminer la transition de référence, celle par rapport à laquelle on mesure l'erreur temporelle. En réalité, on mesure la gigue d'un signal comme la variation du moment de transition du signal par rapport à la moyenne des temps de transition. Ceci conduit aux autres définitions de la gigue.

Pour la télévision numérique [2,3], on définit trois autres mesures pour la gigue : la gigue d'alignement (alignment jitter), la gigue à long terme (timing jitter) et la gigue de promenade (wander jitter).

La gigue d'alignement est définie comme la variation des temps de transitions d'un signal par rapport aux ceux d'une horloge extraite de ce signal. La largeur de bande du processus d'extraction d'horloge détermine la limite de fréquence basse pour la gigue d'alignement.

La gigue à long terme est définie comme une gigue d'alignement dont le processus d'extraction a une fréquence naturelle assez basse, typiquement de 10Hz ou moins.

La gigue de promenade est définie comme les variations des transitions d'un signal ayant une fréquence d'occurrence plus petite que la gigue à long terme. Pour un système ayant la gigue à long terme définie pour 10Hz, la gigue de promenade aura une fréquence d'occurrence inférieure à 10Hz. Cette gigue de promenade peut être négligée dans les systèmes synchrones.

En plus de ces définitions de la gigue, on trouve [4,5] les définitions de la gigue sur une période (one period jitter) et de la gigue de la période (period jitter). La gigue sur une période est la variation de la période d'une horloge. La gigue de la période se réfère aux variations de la durée d'un nombre donné de périodes de l'horloge.

On peut remarquer que toutes les définitions précédentes de la gigue considèrent seulement une mesure de la gigue. En réalité, la gigue est un phénomène statistique. Pour l'exprimer, on a besoin des plusieurs événements (i.e. mesures). En comptabilisant ces

événements, on peut déterminer la déviation standard de la gigue (σ) et la gigue crête à crête. Notons que dans l'industrie, il est pratique commune d'appeler gigue la valeur maximale de la gigue définie par les normes [2,3].

Une pratique courante dans l'industrie consiste à visualiser 1000 transitions du signal mesuré, pour en déterminer la gigue crête à crête. On considère que cette gigue est six fois plus grande que le σ . Ceci suppose une distribution de probabilité Gaussienne [6]. Cependant, certains auteurs [7] considèrent cette mesure non concluante, en soulignant que la relation entre le σ et la gigue crête à crête dépend du nombre d'échantillons utilisés. C'est tout à fait vrai, cependant il faut mettre un seuil de confiance, et dans l'industrie ce seuil est souvent défini à 1000 échantillons pour la mesure de gigue. Dans cette thèse on utilisera ce seuil de confiance.

La distribution Gaussienne de la gigue σ n'est pas capable d'expliquer tous les phénomènes de la gigue et du bruit de phase. Des développements théoriques récents ont introduit une autre distribution, la variance d'Allan (Allan variance ou AVAR en anglais) [8]. Cette distribution peut mieux caractériser les phénomènes du bruit de phase des oscillateurs et des PLL. Notons que des différences majeures entre σ et AVAR apparaissent dans la caractérisation du bruit de type marche aléatoire (random walk) des oscillateurs. Ce bruit se rencontre souvent à des fréquences inférieures à 1Hz. Ce bruit produit une gigue de promenade, négligeable dans notre cas.

Les oscilloscopes à mémoire sont souvent utilisés pour visualiser la gigue. Pour mesurer la gigue sur une période ou la gigue de la période, le signal visualisé attaque aussi l'entrée du déclencheur (trigger) de l'oscilloscope. Dans ce cas, on observe que la transition de ce signal a lieu dans une zone temporelle précise, définie par une bande sur l'écran de l'oscilloscope. La largeur de cette bande correspond à la gigue (de la période) crête à crête du signal visualisé. Certains oscilloscopes modernes peuvent donner aussi la valeur de la moyenne quadratique de ces giges.

Pour visualiser la gigue d'alignement ou la gigue à long terme il faut extraire une horloge propre du signal à visualiser. Cette horloge est fournie à l'entrée déclencheur de l'oscilloscope. La largeur de la bande sur l'écran de l'oscilloscope correspond à la gigue d'alignement crête à crête.

Il est évident que la gigue d'alignement est différente de la gigue sur une période. Cependant, la gigue sur une période crête à crête n'est pas plus de 2 fois plus grande que la gigue d'alignement crête à crête. Si les sources de giges ne sont pas corrélées et les nombres de périodes d'horloge correspondent à la largeur de bande du processus d'extraction d'horloge spécifique, la gigue sur une période sera approximativement 2 fois plus grande que la gigue d'alignement.

L'approximation précédente simplifie la mesure de la gigue pour les systèmes synchrones. On utilise la gigue sur une période pour estimer la gigue d'alignement, et une

gigue de la période évaluée à partir d'un intervalle de mesure de 10ms, pour estimer la gigue à long terme. Certains utilisateurs de la télévision numérique peuvent exiger que la gigue soit mesurée exactement comme il est décrit dans les normes SMPTE. Ce n'est pas le cas dans notre recherche, car l'implémentation de ces mesures représente des coûts importants.

Notre projet de recherche est basé sur une coopération industrie – université. L'intérêt de notre partenaire de l'industrie était, au début de la coopération, d'obtenir un circuit capable de générer une horloge audio à partir d'une horloge vidéo. Leur spécification exigeait que la gigue du signal de sortie ne dépasse pas 1ns, pour cette application. Des discussions supplémentaires avec la société Miranda nous ont permis de spécifier que la gigue sur une période et la gigue de la période mesurée pour un intervalle de 10ms devaient être inférieures à 4ns crête à crête. Après le succès obtenu dans la première partie du projet de recherche nous avons étudié un nouveau type de circuit capable d'excéder les performances obtenues avec le premier design. Les performances attendues pour le nouveau circuit étaient une gigue de la période inférieure à 400ps crête à crête.

2.2. Une solution classique

La difficulté du problème posé par la société Miranda, qui a parrainé ce projet, réside dans les grands nombres utilisés pour exprimer le rapport de division. Les rapports de division entre les fréquences audio et vidéo définies par les normes de la télévision numérique sont données dans le tableau 2.1 [9,10].

		Fréquences Audio		
		4.0960 MHz	5.6448 MHz	6.1440 MHz
Fréquences Vidéo	27.0000 MHz	<u>512</u> 3375	<u>392</u> 1875	<u>256</u> 1125
	28.63636 MHz	<u>5632</u> 39375	<u>616</u> 3125	<u>2816</u> 13125
	35.46895 MHz	<u>81920</u> 709379	<u>112896</u> 709379	<u>122880</u> 709379
	36.00000 MHz	<u>128</u> 1125	<u>98</u> 625	<u>64</u> 375

Tableau 2.1 Rapports de division communs entre les fréquences vidéo et audio

Un lecteur non familiarisé avec les problèmes de synchronisation peut se demander ce que signifie la synchronisation entre deux signaux de fréquences différentes. Dans ce cas, la synchronisation est vue dans un intervalle de temps plus long que la période d'horloge. Par exemple, pour le cas de la synchronisation entre des signaux de 6.144MHz et 35.46895MHz, on doit avoir 122880 périodes de l'horloge audio dans l'intervalle de temps donné par 709379 périodes de l'horloge vidéo.

La figure 2.1 présente une approche classique pour les circuits de synthèse de fréquence qui utilise un circuit PLL. Ce type de circuit contient un comparateur de phase ($C\phi$), un oscillateur commandé par tension (VCO) et un filtre. La boucle d'asservissement fait en sorte que les signaux présents à l'entrée du $C\phi$ soient synchrones.

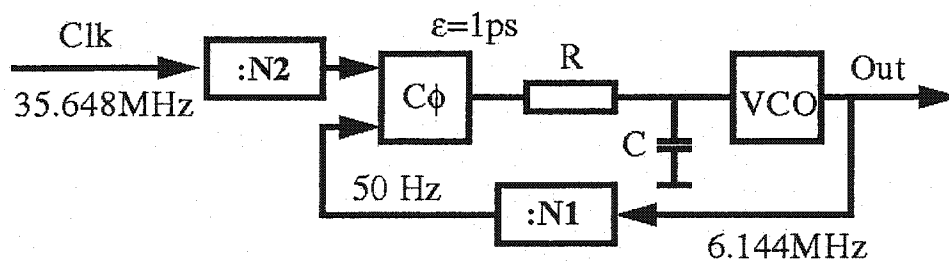


Fig. 2.1 Une approche classique

Le synchronisme entre ces deux signaux assure que le rapport entre les fréquences du signal d'horloge (Clk) et du signal de sortie (Out) est donné par.

$$f_{Out} = \frac{N1}{N2} \cdot f_{Clk} \quad (2.5)$$

On voit que $N1/N2$ peut avoir une des valeurs données dans le Tableau 2.1, disons $N1/N2=122880/709379$. Cette solution présente quelques limitations qui font en sorte que la gigue de sortie obtenue soit plus grande que les spécifications données par Miranda.

Exemple : Prenons le cas d'un VCO produisant 614.4MHz, pour 1V et ayant un gain de 1.5GHz/V. En divisant la fréquence de sortie par 100 on obtient un VCO équivalent (VCOe) qui produit 6.144MHz pour 1V et qui a un gain de 15MHz/V. Supposons qu'on a un décalage sur l'entrée du VCOe qui ajoute 2.52μV à la

tension de commande. Ce bruit change la fréquence du VCO de 6.1440000MHz à 6.1440378MHz. La différence de période sera de 1ps. Cette différence accumulée pendant 122880 périodes donne une gigue 122ns. De plus, la correction de phase a une fréquence de répétition de 50Hz, ce qui rend difficile la réalisation du filtre du PLL.

Notons que l'utilisation d'un VCXO (un oscillateur à basse d'un cristal commandé par tension) n'était pas une solution acceptable par Miranda, qui cherchait une solution parfaitement intégrable dans une puce.

Cette situation nous a amené à utiliser un circuit de synthèse numérique de fréquence (DDS), circuit qui est capable de générer des signaux d'une fréquence bien déterminée.

2.3. L'approche DDS

La technique de synthèse numérique de fréquence (DDS) est née au début des années 1970, comme une technique capable de générer des signaux sinusoïdaux, avec une grande précision. La fréquence du signal produit par un circuit DDS peut être contrôlée et changée à grande vitesse. Un des premiers articles publiés sur le sujet est celui de J. Tierney [11], qui présente un schéma général d'un circuit DDS, explique sa fonctionnalité, et donne quelques applications possibles.

Avec le temps, le DDS est devenu une technique populaire, surtout dans le domaine des communications, où on a besoin de générer des signaux sinusoïdaux précis, de contrôler avec précision leur fréquence, phase et amplitude. Avec quelques modifications, cette technique est utilisée pour générer des formes d'onde plus complexe comme des ondes triangulaires ou même de forme arbitraire. D'autres applications incluent le domaine des radars, où la rapidité avec laquelle on peut changer la fréquence dans le cas d'un DDS est une qualité importante. Les communications mobiles, telle que les systèmes de téléphonie cellulaire, utilisent le DDS pour générer des fréquences de référence selon un pas fin.

On peut trouver dans la littérature beaucoup d'articles qui présentent l'utilisation d'un circuit DDS dans l'un ou l'autre de ces domaines [12].

Le fait que les circuits DDS permettent de contrôler avec une précision accrue le rapport de division entre les fréquences de deux signaux – c.à.d. d'obtenir un signal qui a une fréquence contrôlée avec une grande précision en utilisant un autre comme référence - nous a motivé d'essayer l'utilisation du DDS pour atteindre notre but, la synchronisation entre les horloges vidéo et audio en DTV.

La Fig. 2.2 présente la structure générale d'un circuit DDS. Le circuit DDS contient un accumulateur de phase (Acc), une table de conversion (LUT), un convertisseur numérique-analogique (DAC), un filtre (F) et un comparateur (C).

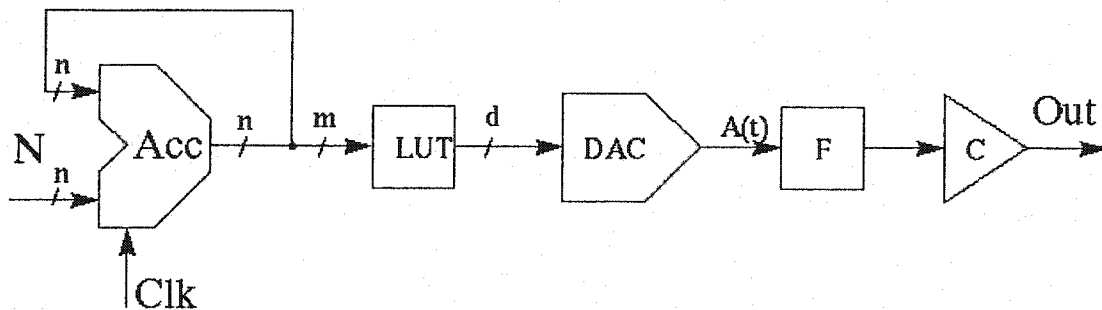


Fig. 2.2 – La structure générale d'un circuit DDS.

L'accumulateur de phase ajoute l'incrément de phase (N) à la phase accumulée à chaque cycle de l'horloge (Clk). Le nombre de bits de l'accumulateur de phase, n dans ce cas, nous donne la précision du calcul. On observe que la phase accumulée, présente à la sortie de l'Acc, a une période de répétition déterminée par le nombre de bits de l'Acc, par l'incrément de phase et par la période de l'horloge Clk (T) [11].

La phase accumulée, réduite de n bits à ses m bits les plus significatifs, est convertie par la table de conversion, LUT, dans la forme d'onde désirée. La plupart des circuits DDS utilisent comme table de conversion une mémoire ROM, qui donne à la sortie la valeur numérique correspondant au sinus de l'argument représenté par les m bits les plus significatifs de la phase accumulée.

Cette valeur numérique sera convertie en signal analogique par le convertisseur numérique-analogique (DAC). Le filtre (F) est utilisé pour couper les harmoniques

supérieures du signal produit par le DAC. À la sortie du filtre, on aura un signal sinusoïdal ayant une fréquence donnée par [13]:

$$f_a = \frac{N \cdot f_{Clk}}{2^n} \quad (2.6)$$

Où f_a est la fréquence de sortie et f_{Clk} est la fréquence de l'horloge Clk, et N est le nombre binaire présent à l'entrée de l'accumulateur de phase.

Le comparateur (C) est utilisé pour transformer le signal sinusoïdal dans une horloge rectangulaire. Cette horloge a la même fréquence que celle donnée par l'équation 2.6.

La limite supérieure théorique de la fréquence du signal à la sortie du DDS est $1/2 f_{Clk}$, mais en réalité, on peut obtenir au maximum $1/3 f_{Clk}$, à cause des problèmes de faisabilité du filtre, F.

Le signal qu'on désire avoir à la sortie du DAC doit avoir une forme donnée par:

$$A_d(t) = \sin(\omega_a \cdot t) = \sin(2 \cdot \pi \cdot f_a \cdot t) \quad (2.7)$$

En réalité, on aura le signal $A(t)$, représenté à la Fig. 2.3 [14,15]:

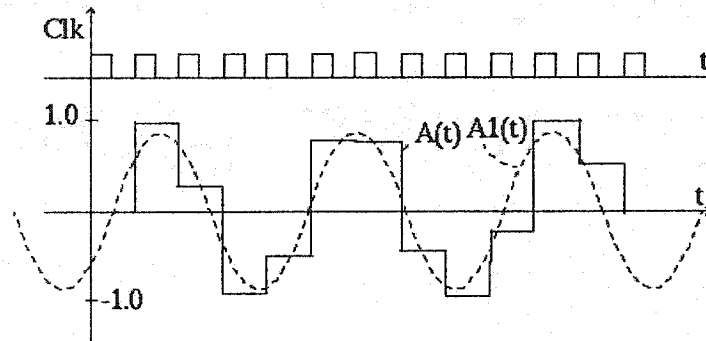


Fig. 2.3 – Le signal produit par le circuit DDS.

Le spectre du signal $A(t)$ est représenté à la Fig. 2.4 et est décrit par l'équation 2.8 :

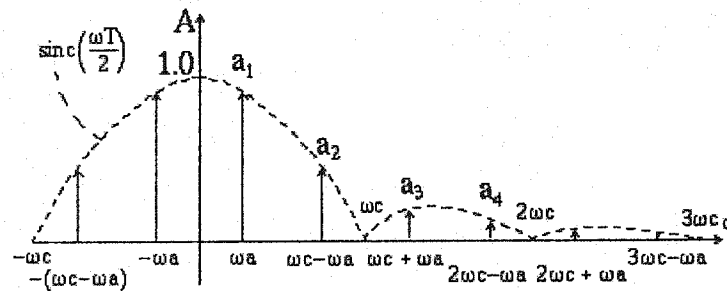


Fig. 2.4 – Le spectre du signal DDS.

$$A(\omega) = A_{ref} \cdot e^{-j\omega T/2} \cdot \text{sinc}(\omega T/2) \cdot \frac{\pi}{j} \sum_{k=-\infty}^{\infty} \delta(\omega - (k \cdot \omega_c \pm \omega_a)) \quad (2.8)$$

Dans cette équation, on a les éléments suivants :

$$e^{-j\omega T/2}$$

→ le déphasage du signal de sortie par rapport à l'origine de

l'axe temporel

$$\text{sinc}(\omega T/2)$$

→ l'enveloppe du spectre donnée par le sinus atténué

$(\pi/j)\delta(\omega-(k\omega_c+/-\omega_a))$ → les composantes du spectre sont des impulsions Dirac, représentant des fonctions sinus, alors que ω_c et ω_a sont les pulsations de l'horloge Clk et de la fondamentale.

A_{ref} → C'est une amplitude déterminée par la tension de référence du convertisseur numérique analogique (DAC). On considère $A_{ref}=1.0$, comme dans la figure 2.4 et 2.5, pour simplifier les équations.

La plus importante composante de ce spectre est la fondamentale, parce qu'elle a la fréquence désirée. Son expression analytique peut être extraite de l'équation 2.8 :

$$A_1(t) = 1 \cdot \text{sinc}\left(\frac{\omega_a \cdot T}{2}\right) \cdot \sin\left(\omega_a \cdot t - \frac{\omega_a \cdot T}{2}\right) = a_1 \cdot \sin[\omega_a \cdot (t - \phi_1)] \quad (2.9)$$

On peut observer que le déphasage de cette composante, exprimé en temps, correspond à la moitié de la période de l'horloge d'entrée Clk, $\phi_1=T/2$. L'amplitude de cette composante est donnée par :

$$a_1 = \text{sinc}\left(\frac{\omega_a \cdot T}{2}\right) \quad (2.10)$$

Les autres composantes fréquentielles du spectre sont indésirables et doivent être filtrées. Un filtre idéal doit couper toutes ces harmoniques, et laisser passer seulement la fondamentale. Les passages par zéro de cette fondamentale sont détectées par le comparateur, qui est responsable de générer un signal rectangulaire sans gigue (en

supposant que toutes les autres sources de gigue soient annulées). En réalité, le filtre ne fait qu'atténuer les harmoniques supérieures, en conséquence, ces harmoniques produisent une gigue. La gigue sera produite aussi par les résolutions et précisions limitées des Acc, LUT et DAC, ainsi que par la contribution de la gigue de l'horloge d'entrée.

Notre but est de déterminer les caractéristiques nécessaires et suffisantes qui assurent que le circuit DDS produit aura une gigue en bas de la valeur maximale exigée par les spécifications. Comme les circuits DDS étaient auparavant utilisées dans le domaine des communications, les références trouvées dans la littérature [11-27] étaient concentrées surtout sur les caractéristiques spectrales du DDS, et non sur les caractéristiques temporelles de la gigue. Certains articles présentent aussi des méthodes efficaces pour augmenter les performances des circuits DDS en ce qui concerne la précision du signal obtenu.

En utilisant le DDS pour synchroniser des horloges, on est surtout intéressé par la valeur maximale que peut atteindre la gigue de l'horloge de sortie, mais exprimée en temps. Une relation entre les caractéristiques spectrales du bruit de phase et la déviation standard de la gigue est décrite par l'équation suivante [4,5]:

$$\sigma_j^2(\tau) = \frac{T^2}{\pi^2} \cdot \int_0^{\infty} S_{\phi}(f) \cdot \sin^2(\pi f \tau) df \quad (2.11)$$

Dans cette équation:

$\sigma_j(\tau)$ → la déviation standard de la gigue périodique de période τ .

$S_{\phi}(f)$ → la distribution spectrale du bruit de phase.

T → la période de l'horloge du DDS.

La distribution spectrale du bruit de phase d'un circuit DDS est décrite par des équations compliquées, ce qui rend l'utilisation de l'équation 2.11 difficile.

Pour avoir la possibilité de faire des choix de design optimal, on a développé un modèle théorique facile à utiliser, et qui prédit la valeur maximale de la gigue de l'horloge de sortie. Ce modèle théorique a fait l'objet d'un article présenté à la conférence ISCAS'99 [1], une version enrichie de cet article est présenté dans l'annexe A. Le chapitre suivant résume le contenu de ce travail.

Chapitre 3.

Un modèle de gigue pour les DDS utilisés comme générateurs d'horloge

Pour déterminer la valeur maximale que peut atteindre la gigue de sortie d'un DDS, on doit identifier les sources communes de gigue de phase et exprimer leur contribution sur la gigue de l'horloge de sortie.

Dans la première partie de cette section nous identifions les sources de gigue d'un circuit DDS. Par la suite, nous utilisons une méthode d'analyse originale qui nous permet d'estimer la contribution de ces sources sur la gigue du signal de sortie du circuit DDS.

Dans la deuxième partie de ce chapitre, nous proposons un modèle de sommation de gigue simplifié, qui nous permet de déterminer les choix de design optimaux.

Les sources de gigue et l'estimation de leur effet sur le signal de sortie sont présentées dans les paragraphes suivants.

3.1. Les sources de gigue d'un circuit DDS

Dans le chapitre d'introduction, nous avons présenté une revue de littérature sur les circuits de synthèse numérique de fréquence. La figure 2.2, présentée dans le chapitre précédent, présente le schéma général d'un circuit DDS. Cette figure est reproduite à la figure 3.1 pour identifier les sources de gigue possibles.

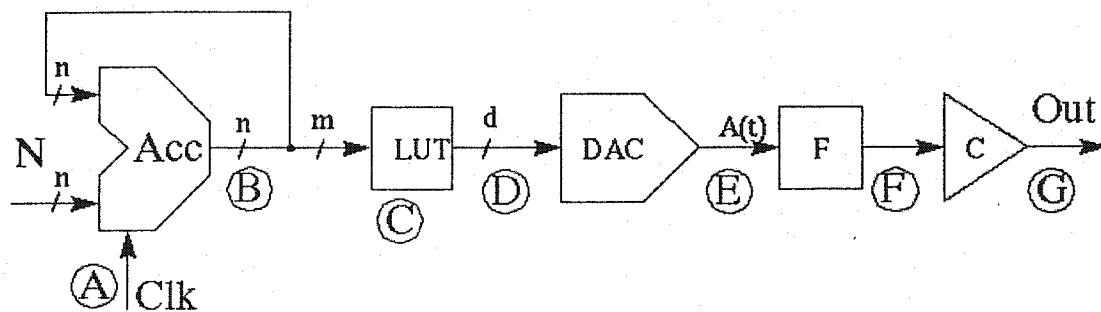


Fig. 3.1 – La structure générale d'un circuit DDS.

Ces sources de gigue sont :

- A. La gigue de l'horloge d'entrée.
- B. La résolution de l'accumulateur de phase.
- C. La résolution de la LUT.
- D. La résolution du DAC.
- E. La précision du DAC.
- F. Les caractéristiques du filtre.
- G. La précision du comparateur.

Dans le cas idéal, le circuit DDS peut générer un signal sinusoïdal déterminé avec une précision infinie, sans bruit ou erreur. On peut alors utiliser un filtre idéal pour couper totalement les harmoniques supérieures du spectre et compléter le travail avec un comparateur idéal. Dans ce cas idéal, l'horloge de sortie aurait une gigue nulle.

En réalité le circuit est sujet à des limitations technologiques, du bruit et des erreurs. En conséquence, le sinus présenté à l'entrée du comparateur est perturbé. Ces perturbations vont causer de la gigue de la façon présentée dans la Fig. 3.2.

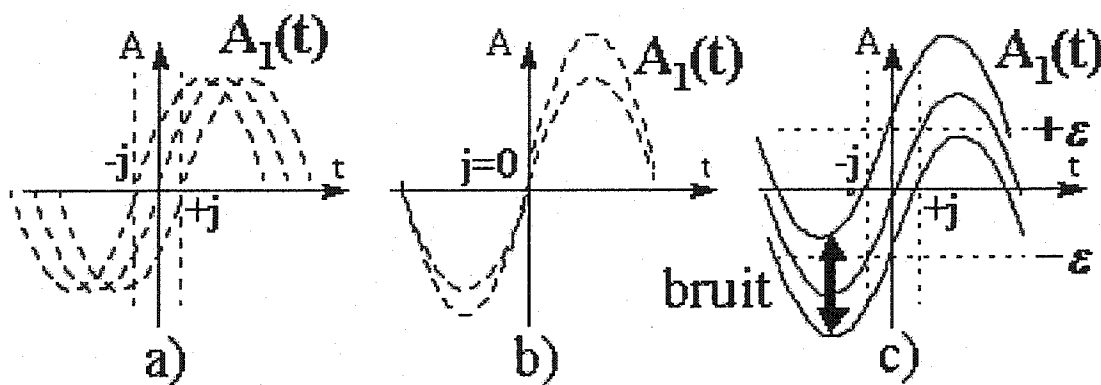


Fig. 3.2 Divers mécanismes qui contribuent à la gigue :
a) perturbation de phase; b) perturbation d'amplitude, c) bruit

Un comparateur transforme le signal $A_1(t)$, la composante fondamentale du spectre, dans un signal rectangulaire. Ce signal $A_1(t)$ contient l'information utile qui sert à déterminer les moments de transition du signal de sortie, mais il est perturbé par des erreurs de phase, erreurs d'amplitude, bruits et erreurs de niveau, ce qui peut causer de la gigue quand ils sont détectés par le comparateur.

Pour simplifier l'analyse, on considère seulement les effets de premier ordre de ces sources de gigue.

Dans la Fig. 3.2a, on voit que toute variation de l'argument du sinus (déphasage) modifie le moment de passage par zéro. Le filtre ne peut pas éliminer cet effet, surtout quand le déphasage a une fréquence très basse. Si on connaît la valeur de ce déphasage, on peut prédire la valeur de la gigue de sortie. Les sources qui produisent ce type de gigue sont la gigue de l'horloge d'entrée et la limite de résolution de l'accumulateur de phase. On présentera plus tard l'effet de ces erreurs.

Les variations d'amplitude du sinus ne changent pas le moment de passage par zéro, comme on peut voir à la Fig. 3.2b. Donc, ces variations d'amplitude ne produisent pas de gigue. Néanmoins on peut considérer des effets de deuxième ordre produits par le comparateur et la modification du rapport signal-bruit (SNR), ainsi que ceux résultant du couplage entre le gain et d'autres déformations ou translations du signal.

On peut vérifier qu'un déphasage constant de l'horloge d'entrée donne un déphasage constant à la sortie, qu'on ne considère pas comme une gigue. On considère comme gigue toutes les sources de déphasage variables dans le temps, comme les imprécisions du DAC, de la LUT, la propagation des harmoniques du spectre à l'entrée du comparateur et les erreurs du comparateur.

Il est trop complexe de prédire de façon exacte la gigue produite par ces sources d'erreur. Notre analyse prédit seulement la valeur maximale de l'amplitude contributive par chacune de ces sources dans la gigue du signal de sortie. En utilisant cette analyse, nous pouvons déterminer la gigue maximale possible, et faire nos choix de design pour arriver à un optimum.

En considérant que l'amplitude de l'erreur est petite par rapport à l'amplitude du signal $A_1(t)$, on peut déterminer la valeur de la gigue produite par cette erreur. Sur la Fig.3.2c, on voit que la relation entre la gigue et l'erreur est donnée par la dérivée du signal, $A_1(t)$, évaluée au moment du passage par zéro, qui correspond au moment $\phi_1=T/2$ conformément à l'équation 2.9 :

$$\left. \frac{d}{dt} A_1(t) \right|_{t=\frac{T}{2}} = \frac{\varepsilon}{J} \quad (3.1)$$

Dans l'équation 3.1, J est la valeur maximale de la gigue produite par une erreur d'amplitude maximale ε .

La dérivée de $A_1(t)$, évaluée à $T/2$, nous amène à :

$$J = \frac{\varepsilon \cdot T}{2 \cdot \sin\left(\frac{\omega_a \cdot T}{2}\right)} \quad (3.2)$$

Il est évident que la gigue est proportionnelle à l'amplitude de l'erreur (ε). La gigue est aussi dépendante de la période de l'horloge Clk (T) et de la pulsation désirée pour le signal de sortie (ω_a).

Le reste de cette section traite chaque source d'erreur identifiée à la Fig. 3.1, en quantifiant sa contribution à la gigue de sortie.

3.1.1. La gigue de l'horloge d'entrée.

L'horloge utilisée par un circuit DDS peut être sujette à une gigue. Nous avons fait une analyse de la contribution de cette gigue sur la gigue de l'horloge de sortie. Cette analyse est basée sur la transformée de Fourier du signal généré par un circuit DDS idéal qui utilise une horloge sujette à la gigue.

Les équations et les définitions suivantes sont le point de départ dans cette analyse :

$$\sin(x) = j \frac{e^{-jx} - e^{jx}}{2} \quad (3.3)$$

$$e^{ja} - e^{jb} = 2j \cdot e^{j \frac{a+b}{2}} \cdot \sin \frac{a-b}{2} \quad (3.4)$$

$$e^{jx} = \cos(x) + j \sin(x) \quad (3.5)$$

La transformée de Fourier d'un signal $f(t)$ est :

$$F[f(t)] = F(\omega) = \int_{-\infty}^{\infty} f(t) \cdot e^{-j\omega t} dt \quad (3.6)$$

La transformée de Fourier inverse du $F(\omega)$ est :

$$f(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} F(\omega) \cdot e^{j\omega t} d\omega \quad (3.7)$$

La transformée de Fourier d'un signal sinusoïdal est donnée par [28]:

$$F[\sin(\alpha t)] = -j\pi \cdot [\delta(\omega - \alpha) - \delta(\omega + \alpha)] \quad (3.8)$$

$$x(t) \cdot \delta(t - a) = x(a) \cdot \delta(t - a) \quad (3.9)$$

L'équation 3.10 décrit le développement en série Fourier complexe d'un peigne des impulsions Dirac [29]:

$$\delta_{T_0}(t) = \sum_{k=-\infty}^{\infty} \delta(t - k \cdot T_0) = \frac{1}{T_0} \sum_{k=-\infty}^{\infty} e^{-j \cdot k \cdot \frac{2\pi}{T_0} \cdot t} \quad (3.10)$$

À partir de l'équation 3.10, on change $T = 2\pi/T_0$ et $t = \omega$, pour trouver l'égalité suivante :

$$\sum_{k=-\infty}^{\infty} e^{-j \cdot \omega \cdot k \cdot T} = \frac{2\pi}{T} \cdot \sum_{k=-\infty}^{\infty} \delta(\omega - k \cdot \frac{2\pi}{T}) \quad (3.11)$$

L'égalité 3.11 est utilisée pour prouver les égalités 3.12 et 3.13, égalités nécessaires pour l'analyse du signal produit par un circuit DDS dont l'horloge est sujette à une gigue :

$$\sum_{k=-\infty}^{\infty} \sin(k\alpha) e^{-jk\omega T} = \frac{-j\pi}{T} \cdot \sum_{k=-\infty}^{\infty} \left[\delta(\omega - k \frac{2\pi}{T} - \frac{\alpha}{T}) - \delta(\omega - k \frac{2\pi}{T} + \frac{\alpha}{T}) \right] \quad (3.12)$$

$$\begin{aligned} & \sum_{k=-\infty}^{\infty} \sin[(hk + p)\alpha] e^{-j(hk+p)\omega T} = \\ & = \frac{-j\pi}{hT} \sum_{k=-\infty}^{\infty} [e^{-jp(\omega - \frac{\alpha}{T})T} \delta(\omega - k \frac{2\pi}{hT} - \frac{\alpha}{T}) - e^{-jp(\omega + \frac{\alpha}{T})T} \delta(\omega - k \frac{2\pi}{hT} + \frac{\alpha}{T})] \end{aligned} \quad (3.13)$$

Preuve :

$$\begin{aligned}
\sum_{k=-\infty}^{\infty} \sin(k\alpha) e^{-jk\omega T} &= \sum_{k=-\infty}^{\infty} e^{-jk\omega T} \cdot \frac{-j(e^{jk\alpha} - e^{-jk\alpha})}{2} \\
&= \sum_{k=-\infty}^{\infty} \frac{-je^{-jkT(\omega - \frac{\alpha}{T})}}{2} - \sum_{k=-\infty}^{\infty} \frac{-je^{-jkT(\omega + \frac{\alpha}{T})}}{2} = \\
&= \frac{-j}{2} \cdot \frac{2\pi}{T} \sum_{k=-\infty}^{\infty} \left[\delta(\omega - k \cdot \frac{2\pi}{T} - \frac{\alpha}{T}) - \delta(\omega - k \cdot \frac{2\pi}{T} + \frac{\alpha}{T}) \right]
\end{aligned}$$

$$\begin{aligned}
\sum_{k=-\infty}^{\infty} \sin[(hk+p)\alpha] e^{-j(hk+p)\omega \cdot T} &= \\
&= \sum_{k=-\infty}^{\infty} e^{-j(hk+p)\omega \cdot T} \cdot \frac{-j[e^{j(hk+p)\alpha} - e^{-j(hk+p)\alpha}]}{2} \\
&= \frac{-j}{2} \left\{ \left[e^{-j \cdot pT(\omega - \frac{\alpha}{T})} \sum_{k=-\infty}^{\infty} e^{-j \cdot k \cdot (\omega - \frac{\alpha}{T}) \cdot hT} \right] - \left[e^{-j \cdot pT(\omega + \frac{\alpha}{T})} \sum_{k=-\infty}^{\infty} e^{-j \cdot k \cdot (\omega + \frac{\alpha}{T}) \cdot hT} \right] \right\} \\
&= \frac{-j}{2} \frac{2\pi}{hT} \sum_{k=-\infty}^{\infty} \left[e^{-j \cdot p(\omega - \frac{\alpha}{T}) \cdot T} \delta(\omega - k \cdot \frac{2\pi}{hT} - \frac{\alpha}{T}) - \right. \\
&\quad \left. - e^{-j \cdot p(\omega + \frac{\alpha}{T}) \cdot T} \delta(\omega - k \cdot \frac{2\pi}{hT} + \frac{\alpha}{T}) \right]
\end{aligned}$$

Le signal idéal A(t) généré par un circuit DDS qui utilise une horloge de gigue nulle est décrit par l'équation :

$$A(t) = \sum_{k=-\infty}^{\infty} \sin(k\alpha) \cdot \{\sigma[t-kT] - \sigma[t-(k+1)T]\} = \sin\left(\left\lfloor \frac{t}{T} \right\rfloor \alpha\right) \quad (3.14)$$

Dans cette équation, σ est la fonction saut unitaire, T est la période d'horloge et α est déterminé par l'incrément de phase (N), ainsi que la résolution de l'accumulateur de phase (n) du circuit DDS :

$$\alpha = \frac{2 \cdot \pi \cdot N}{2^n} \quad (3.15)$$

Les équations 3.3, 3.4 et 3.12 nous permettent de calculer le spectre produit par le signal

$A(t)$:

$$\begin{aligned}
 A(\omega) &= \int_{-\infty}^{\infty} \sum_{k=-\infty}^{\infty} \sin(k\alpha) \cdot \{ \sigma(t-kT) - \sigma[t-(k+1)T] \} \cdot e^{-j\omega t} dt \\
 &= \sum_{k=-\infty}^{\infty} \sin(k\alpha) \cdot \int_{-\infty}^{\infty} \{ \sigma(t-kT) - \sigma[t-kT-T] \} \cdot e^{-j\omega t} dt = \sum_{k=-\infty}^{\infty} \sin(k\alpha) \cdot \int_{kT}^{kT-T} e^{-j\omega t} dt \\
 &= \sum_{k=-\infty}^{\infty} \sin(k\alpha) \cdot \frac{-1}{j\omega} \cdot e^{-jk\omega T} \cdot (e^{-j\omega T} - 1) = \frac{(-e^{-j\omega T})}{j\omega} \sum_{k=-\infty}^{\infty} \sin(k\alpha) e^{-jk\omega T} \\
 &= e^{-j\frac{\omega T}{2}} \cdot \frac{2 \sin(\frac{\omega T}{2})}{\omega} \sum_{k=-\infty}^{\infty} \sin(k\alpha) e^{-jk\omega T} \\
 &= e^{-j\frac{\omega T}{2}} \cdot \frac{2 \sin(\frac{\omega T}{2})}{\omega} \cdot \frac{-j\pi}{T} \cdot \sum_{k=-\infty}^{\infty} \left[\delta(\omega - k \cdot \frac{2\pi}{T} - \frac{\alpha}{T}) - \delta(\omega - k \cdot \frac{2\pi}{T} + \frac{\alpha}{T}) \right]
 \end{aligned}$$

Donc, le spectre du signal $A(t)$ sera :

$$A(\omega) = e^{-j\frac{\omega T}{2}} \cdot \text{sinc}\left(\frac{\omega T}{2}\right) \cdot (-j\pi) \cdot \sum_{k=-\infty}^{\infty} \left[\delta(\omega - k \cdot \frac{2\pi}{T} - \frac{\alpha}{T}) - \delta(\omega - k \cdot \frac{2\pi}{T} + \frac{\alpha}{T}) \right] \quad (3.16)$$

On reconnaît dans ce spectre les composantes de la fondamentale, qui décrivent une fonction sinus.

$$F_{[a_1 \sin \frac{\alpha}{T}(t-d)]} = e^{-j\frac{\alpha}{2}} \cdot \text{sinc}\left(\frac{\alpha}{2}\right) \{ -j\pi [\delta(\omega - \frac{\alpha}{T}) - \delta(\omega + \frac{\alpha}{T})] \} \quad (3.17)$$

$$\text{où : } a_1 = \text{sinc} \frac{\alpha}{2} \quad \text{et} \quad d = \frac{T}{2}$$

Le signal généré par le circuit DDS qui utilise une horloge sujette à la gigue sera :

$$A_g(t) = \sum_{q=-\infty}^{\infty} \sin(q\alpha) \cdot \{ \sigma[t-qT-g(q)] - \sigma[t-(q+1)T-g(q+1)] \} \quad (3.18)$$

La gigue de l'horloge, $g(q)$, est définie dans le chapitre 2 par l'équation 2.2. Cette gigue est illustrée à la Figure 3.3.

Une équation similaire peut être obtenue pour un circuit DDS qui utilise une horloge de gigue périodique, gigue décrite par l'équation 3.19 :

$$g(q) = g(q+h) \quad (3.19)$$

On peut réécrire l'équation $A_g(t)$, en utilisant l'expression d'une gigue périodique donnée par l'équation 3.19 :

$$A_{gp}(t) = \sum_{k=-\infty}^{\infty} \sum_{p=0}^{h-1} \sin[(hk+p)\alpha] \cdot \{ \sigma[t-(hk+p)T-g(p)] - \sigma[t-(hk+p+1)T-g(p+1)] \} \quad (3.20)$$

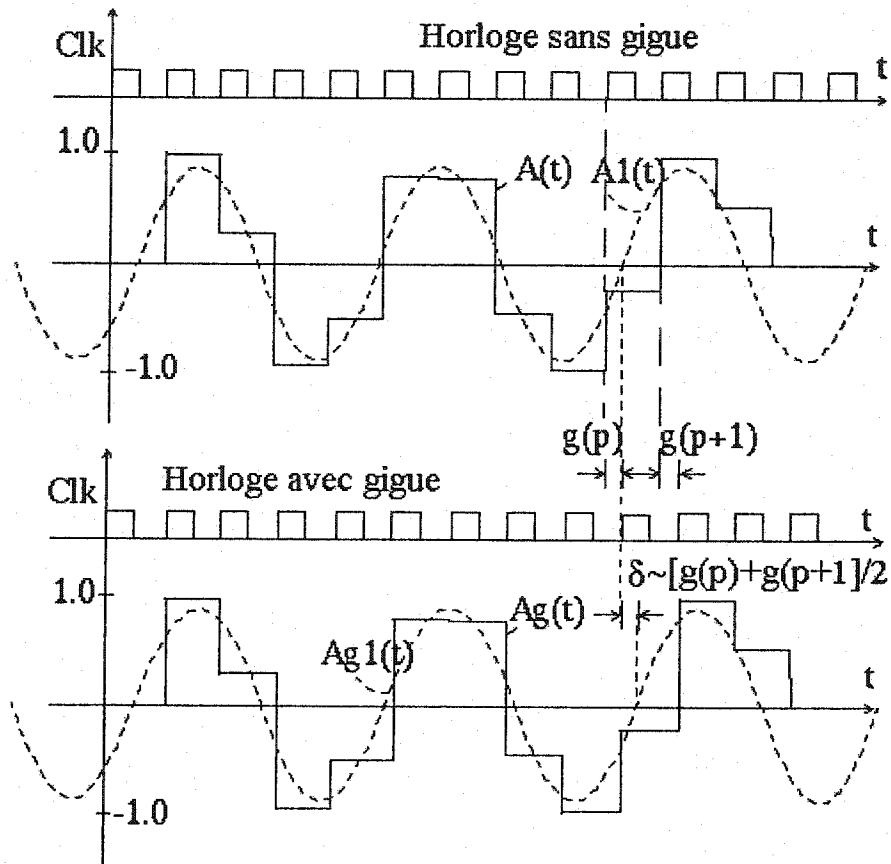


Fig. 3.3 La contribution de la gigue d'entrée.

La transformée de Fourier de ce signal est donné par:

$$A_{gp}(\omega) = \int_{-\infty}^{\infty} \sum_{k=-\infty}^{\infty} \sum_{p=0}^{h-1} \sin[(hk + p)\alpha] \cdot \{\sigma[t - (hk + p)T - g(p)] - \sigma[t - (hk + p + 1)T - g(p + 1)]\} \cdot e^{-j\omega t} dt \quad (3.21)$$

Les équations 3.3, 3.4 et 3.13 nous permettent de calculer le spectre produit par le signal

$A_{gp}(t)$:

$$\begin{aligned}
A_{gp}(\omega) &= \int_{-\infty}^{\infty} e^{-j\omega t} \sum_{k=-\infty}^{\infty} \sum_{p=0}^{h-1} \sin[(hk+p)\alpha] \cdot \{\sigma[t-(hk+p)T-g(p)] - \\
&\quad \sigma[t-(hk+p+1)T-g(p+1)]\} dt \\
&= \sum_{p=0}^{h-1} \sum_{k=-\infty}^{\infty} \sin[(hk+p)\alpha] \int_{-\infty}^{\infty} e^{-j\omega t} \{\sigma[t-(hk+p)T-g(p)] - \\
&\quad \sigma[t-(hk+p+1)T-g(p+1)]\} dt \\
&= \sum_{p=0}^{h-1} \sum_{k=-\infty}^{\infty} \sin[(hk+p)\alpha] \int_{(hk+p)T+g(p)}^{(hk+p+1)T+g(p+1)} e^{-j\omega t} dt \\
&= \sum_{p=0}^{h-1} \sum_{k=-\infty}^{\infty} \sin[(hk+p)\alpha] \cdot \frac{1}{-j\omega} \cdot e^{-j\omega t} \Big|_{(hk+p)T+g(p)}^{(hk+p+1)T+g(p+1)} \\
&= \sum_{p=0}^{h-1} \sum_{k=-\infty}^{\infty} \frac{1}{-j\omega} \sin[(hk+p)\alpha] \cdot e^{-j(hk+p)\omega T} \cdot \{e^{-j\omega[T+g(p+1)]} - e^{-j\omega g(p)}\} \\
&= \sum_{p=0}^{h-1} \frac{1}{-j\omega} \{e^{-j\omega[T+g(p+1)]} - e^{-j\omega g(p)}\} \sum_{k=-\infty}^{\infty} \sin[(hk+p)\alpha] \cdot e^{-j(hk+p)\omega T}
\end{aligned} \tag{3.22}$$

maintenant on utilise les équations 3.4 et 3.13 pour trouver que:

$$\begin{aligned}
A_{gp}(\omega) &= \sum_{p=0}^{h-1} \left\langle e^{-j \frac{\omega[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{\frac{\omega}{2}[T+g(p+1)-g(p)]\right\}}{\omega} \right. \\
&\quad \cdot \frac{-j\pi}{hT} \sum_{k=-\infty}^{\infty} \left[e^{-j \cdot p(\omega - \frac{\alpha}{T}) \cdot T} \delta(\omega - k \cdot \frac{2\pi}{hT} - \frac{\alpha}{T}) - e^{-j \cdot p(\omega + \frac{\alpha}{T}) \cdot T} \delta(\omega - k \cdot \frac{2\pi}{hT} + \frac{\alpha}{T}) \right] \Big\rangle
\end{aligned} \tag{3.23}$$

Notons que, par rapport au spectre produit par une horloge de gigue nulle, ce spectre a des composantes qui sont à des fréquences déterminées par la fréquence de répétition de la gigue, soit $(hT)^{-1}$. Si la gigue de l'horloge d'entrée est très faible, la sommation donnée

par le p réduit l'amplitude de ces composantes. Pour une gigue nulle, $g(p)=g(p+1) = 0$, $p=0$ et $h=1$, on retrouve le spectre de l'équation 3.16.

Dans le spectre du signal produit par une horloge sujette à une gigue, on s'intéresse à la nouvelle expression mathématique de la fondamentale. Cette fondamentale est décrite par l'équation :

$$A_{1gp}(\omega) = \sum_{p=0}^{h-1} e^{-j\frac{\omega[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{\frac{\omega}{2}[T+g(p+1)-g(p+1)]\right\}}{\omega h T} \cdot (-j\pi) \cdot \left[e^{-jp(\omega - \frac{\alpha}{T})T} \delta\left(\omega - \frac{\alpha}{T}\right) - e^{-jp(\omega + \frac{\alpha}{T})T} \delta\left(\omega + \frac{\alpha}{T}\right) \right] \quad (3.24)$$

Les équations 3.3, 3.7 et 3.9 nous permettent à trouver l'expression temporelle de cette fondamentale :

$$A_{1gp}(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} e^{j\omega t} \sum_{p=0}^{h-1} e^{-j\frac{\omega[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{\frac{\omega}{2}[T+g(p+1)-g(p+1)]\right\}}{\omega h T} \cdot (-j\pi) \cdot \left[e^{-j \cdot p(\omega - \frac{\alpha}{T}) \cdot T} \delta\left(\omega - \frac{\alpha}{T}\right) - e^{-j \cdot p(\omega + \frac{\alpha}{T}) \cdot T} \delta\left(\omega + \frac{\alpha}{T}\right) \right] d\omega$$

$$\begin{aligned}
A_{1gp}(t) = & \frac{-j}{2} \left\{ \left\langle \int_{-\infty}^{\infty} e^{j\frac{\alpha}{T}t} \sum_{p=0}^{h-1} e^{-j\frac{\frac{\alpha}{T}[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{\frac{\alpha}{2T}[T-g(p)+g(p+1)]\right\}}{\frac{\alpha}{T}hT} \right. \right. \\
& \cdot \left[e^{-j \cdot p \left(\frac{\alpha}{T} - \frac{\alpha}{T}\right) \cdot T} \delta\left(\omega - \frac{\alpha}{T}\right) \right] d\omega \left. \right\rangle - \\
& \left\langle \int_{-\infty}^{\infty} e^{-j\frac{\alpha}{T}t} \sum_{p=0}^{h-1} e^{-j\frac{-\frac{\alpha}{T}[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{-\frac{\alpha}{2T}[T-g(p)+g(p+1)]\right\}}{-\frac{\alpha}{T}hT} \right. \\
& \cdot \left[e^{-j \cdot p \left(-\frac{\alpha}{T} + \frac{\alpha}{T}\right) \cdot T} \delta\left(\omega + \frac{\alpha}{T}\right) \right] d\omega \left. \right\rangle \Bigg\} \\
A_{1gp}(t) = & \frac{-j}{2} \left\{ \left\langle e^{j\frac{\alpha}{T}t} \sum_{p=0}^{h-1} e^{-j\frac{\frac{\alpha}{T}[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{\frac{\alpha}{2T}[T-g(p)+g(p+1)]\right\}}{\frac{\alpha}{T}hT} \right. \right. \\
& \cdot \int_{-\infty}^{\infty} \delta\left(\omega - \frac{\alpha}{T}\right) d\omega \left. \right\rangle - \\
& \left\langle e^{-j\frac{\alpha}{T}t} \sum_{p=0}^{h-1} e^{-j\frac{-\frac{\alpha}{T}[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{-\frac{\alpha}{2T}[T-g(p)+g(p+1)]\right\}}{-\frac{\alpha}{T}hT} \right. \\
& \cdot \int_{-\infty}^{\infty} \delta\left(\omega + \frac{\alpha}{T}\right) d\omega \left. \right\rangle \Bigg\}
\end{aligned}$$

$$\begin{aligned}
A_{1gp}(t) &= \sum_{p=0}^{h-1} \frac{2 \sin \left\{ \frac{\alpha}{2T} [T - g(p) + g(p+1)] \right\}}{\frac{\alpha}{T} hT} \\
&\cdot \frac{-j}{2} \left\{ e^{j \frac{\alpha}{T} t} \cdot e^{-j \frac{\frac{\alpha}{T} [T + g(p) + g(p+1)]}{2}} - e^{-j \frac{\alpha}{T} t} \cdot e^{j \frac{\frac{\alpha}{T} [T + g(p) + g(p+1)]}{2}} \right\} = \\
&= \sum_{p=0}^{h-1} \frac{2 \sin \left\{ \frac{\alpha}{2T} [T - g(p) + g(p+1)] \right\}}{\frac{\alpha}{T} hT} \cdot \sin \left\{ \frac{\alpha}{T} \left[t - \frac{T + g(p) + g(p+1)}{2} \right] \right\}
\end{aligned}$$

Enfin, cette fondamentale est décrite par :

$$A_{1gp}(t) = \sum_{p=0}^{h-1} \frac{2 \sin \left\{ \frac{\alpha}{2T} [T - g(p) + g(p+1)] \right\}}{\frac{\alpha}{T} hT} \cdot \sin \left\{ \frac{\alpha}{T} \left[t - \frac{T + g(p) + g(p+1)}{2} \right] \right\}$$

(3.25)

L'équation 3.25 décrit la fondamentale du signal produit par un circuit DDS dont l'horloge est sujette à une gigue. L'amplitude et le passage par zéro de ce signal peuvent être différentes de ceux d'un signal produit par un circuit DDS ayant une horloge sans gigue. On peut remarquer que la différence temporelle entre le passage par zéro du signal décrit par l'équation 3.25 et celui décrit par l'équation 3.17 est plus petite que la valeur de la gigue maximale. Cependant, cette différence temporelle reste constante en temps, et ne décrit pas la gigue du signal produit par le circuit DDS dont l'horloge est sujette à une gigue.

La gigue de l'horloge d'entrée produit des composantes spectrales décrites par l'équation 3.23. Ces composantes spectrales peuvent passer à travers le filtre et générer un niveau d'erreur ε , qui produit une gigue. Une analyse de la gigue produite par ces composantes spectrales, pour les différents cas particuliers de gigue périodique constitue un domaine valide de recherches futures. Une conclusion sur l'effet de la gigue de l'horloge obtenue par Jenq [16], me semble corroborer l'éq. 3.25. En effet il affirme que le rapport SNR de la sortie du DDS est meilleur que le rapport SNR du signal utilisé comme horloge.

3.1.2. La résolution de l'accumulateur de phase.

L'équation 2.6 montre qu'un circuit DDS classique ne peut générer tous les rapports de division de la fréquence exigés par les normes de télévision. Pour ces applications, le rapport de division entre la fréquence de l'horloge et la fréquence générée est exprimé par un nombre rationnel arbitraire :

$$f_a = \frac{N1}{N2} \cdot f_{Clk} \quad (3.26)$$

Généralement, un tel rapport ne respecte pas l'équation 2.6. Les valeurs de $N1$ et $N2$ sont définies par les normes de la télévision numérique. Comme $N2$ n'est pas une puissance de 2, il existe un problème d'approximation de la fréquence générée, exprimée par l'équation 3.27 :

$$\frac{N}{2^n} \approx \frac{N1}{N2} \quad (3.27)$$

En réalité on génère une fréquence légèrement différente de la fréquence désirée. Pour les systèmes de communication, ceci ne constitue pas un problème important, car on peut accepter une erreur de fréquence bien définie. Pour les systèmes de synchronisation, ce problème est très important. La période produite sera différente de la période désirée. Cette différence s'accumule à chaque période de l'horloge, causant un décalage de phase. Ce décalage de phase peut être considéré comme une gigue, gigue qui peut aller jusqu'à l'infini sur une période de temps arbitraire.

Notons que pour un accumulateur de phase régulier, la phase accumulée devient nulle pour chaque 2^n -ième période de l'horloge, comptée à partir du moment de remise à zéro. Cette observation peut être étendue à un accumulateur de phase qui génère des rapports de division arbitraires. La phase accumulée de ces accumulateurs doit être zéro à chaque $N2$ -ième période de l'horloge.

Pour limiter l'amplitude du décalage de phase décrit antérieurement, nous pouvons remettre à zéro l'accumulateur de phase après $N2$ périodes de l'horloge. Cette solution nous a été proposée par la Société Miranda. La figure 3.4 présente un circuit capable de réaliser cette opération.

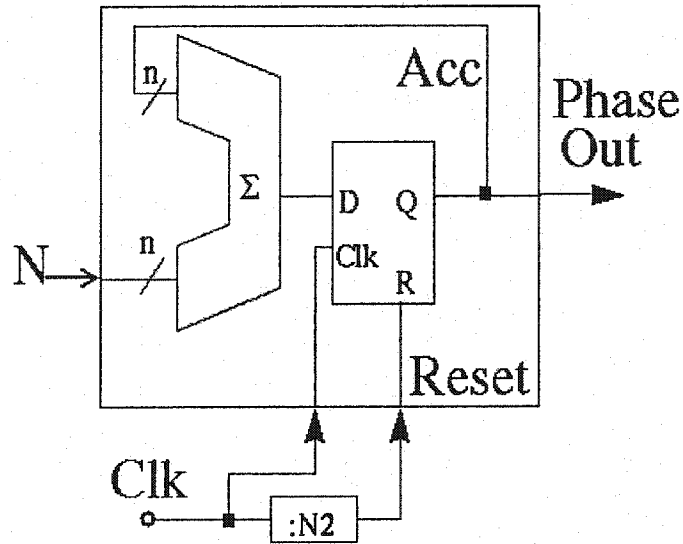


Fig. 3.4 – Accumulateur de phase avec circuit de remise à zéro.

Pour évaluer la contribution de cette méthode sur la gigue de sortie, on doit estimer la différence de temps entre la période désirée et la période exprimée par l'équation 2.6. On doit ensuite multiplier cette différence de temps avec le nombre de périodes de l'horloge entre deux remises à zéro successives. La différence de temps peut prendre n'importe quelle valeur entre zéro et $T/2^n$, pour un rapport de division arbitraire. Le nombre de périodes d'horloge entre deux corrections successives est $N2$. La gigue qui correspond à cette méthode est décrite par l'équation :

$$J_R = \frac{N2 \cdot T}{2^n} \quad (3.28)$$

Due à la façon dont cette méthode corrige la phase accumulée, la gigue produite est une gigue 'à long terme' qui est particulièrement nocive, car des circuits PLL supplémentaires ne peuvent l'éliminer. La période de répétition de cette gigue est T fois $N2$.

Avec cette approche, le concepteur doit augmenter le nombre de bits de l'accumulateur de phase pour réduire la contribution de gigue à un niveau acceptable, disons J_R . Ce concepteur doit respecter l'équation suivante :

$$n \geq \log_2 \left(\frac{N2 \cdot T}{J_R} \right) \quad (3.29)$$

Par exemple, pour limiter la gigue à 100ps, en utilisant une horloge de 35.46895MHz et le dénominateur $N2=709379$, on a besoin d'au moins 28bits pour l'accumulateur de phase.

Dans le troisième chapitre, nous présentons d'autres solutions à ce problème et nous donnons une estimation de la gigue ainsi produite.

Pour déterminer la contribution à la gigue de la résolution de la LUT et du DAC, de la précision du DAC, des caractéristiques du filtre et de la précision du comparateur, nous utilisons l'équation 3.2. Cette équation relie le niveau de bruit généré par ces sources à la gigue produite. Dans ce qui suit, nous discutons les contributions de ces sources de gigue.

3.1.3. La résolution de la LUT.

La table de sinus LUT convertit la phase accumulée produite par l'accumulateur de phase en une valeur sinusoïdale. Dans le cas idéal, l'entrée et la sortie de la LUT ont un nombre de bits infini. En pratique on doit se contenter d'utiliser une LUT ayant un nombre fini de bits à l'entrée et à la sortie.

Habituellement, c'est le DAC qui détermine le nombre de bits à la sortie de la LUT. Nous considérons donc cette limitation comme une contribution donnée par la résolution finie du DAC. L'accumulateur de phase a cependant un nombre de bits supérieur à la LUT, et seulement les bits les plus significatifs de l'accumulateur de phase attaquent l'entrée de la table de sinus. La troncation des bits de poids faible de la phase accumulée produit une gigue à la sortie du DDS.

Pour une architecture connue du DDS, qui spécifie les nombres de bits de la LUT, nous pouvons déterminer la gigue produite par la troncation de la phase accumulée. Cette gigue est cependant différente pour chaque rapport de division différent. Il est plus simple et plus utile de déterminer la limite supérieure de cette gigue pour une dimension donnée de la LUT. Dans ce qui suit, nous présentons une méthode pour déterminer la valeur maximale de cette gigue.

Au tout début de cette analyse, nous considérons le cas où l'accumulateur de phase et la LUT ont une dimension infinie. Dans ce cas, la phase accumulée (ϕ) présente à l'entrée de la LUT est un mot numérique de dimension infinie, qui ne produit pas d'erreurs. La LUT convertit cette phase en un mot numérique de dimension infinie qui correspond à la value donnée par la fonction $\sin(\phi)$, sans aucune erreur.

Supposons un cas imaginaire dans lequel la LUT a un nombre fini de bits à l'entrée. Dans ce cas, la troncation de la phase accumulée produit une erreur de phase ϕ_m et la LUT convertit la phase tronquée $\phi - \phi_m$ en sa valeur sinusoïdale $\sin(\phi - \phi_m)$. Même si on utilise un DAC de résolution infinie, celui-ci convertit cette phase dans un signal $\sin(\phi - \phi_m)$. La différence entre $\sin(\phi - \phi_m)$ et $\sin(\phi)$ produit une erreur qui peut passer à travers le filtre. Au moment du passage à zéro du signal sinusoïdal, quand $\phi=0$ et ϕ_m est petit, cette différence peut être écrite comme :

$$\mathcal{E}_m = \sin(\phi) - \sin(\phi - \phi_m) \approx \phi_m \quad (3.30)$$

Pour une LUT ayant m bits à l'entrée, l'erreur associée à la troncation de la phase accumulée est limitée à :

$$\phi_m = 2^{-m} \quad (3.31)$$

En utilisant les équations 3.31 et 3.2, nous pouvons maintenant déterminer la limite supérieure de la contribution de la résolution finie de la LUT à la gigue de sortie d'un circuit DDS :

$$J_k = \frac{\varepsilon_m \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} = \frac{2^{-m} \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} \quad (3.32)$$

Il n'est pas nécessaire d'utiliser une LUT qui produit plus de bits à la sortie que le nombre des bits du DAC. Les résolutions de sortie de la LUT et de l'entrée du DAC doivent être jumelées. Dans le cas contraire des parties de la LUT ou du DAC sont gaspillées. Nous considérons l'effet de cette résolution finie comme une contribution du DAC sur la gigue de sortie.

3.1.4. La résolution du DAC.

La résolution finie du DAC peut être vue comme l'addition d'un signal parasite au signal produit par le circuit DDS. L'amplitude de ce signal parasite est de $\frac{1}{2}$ LSB, en presumant que le sortie de la LUT est arrondie au bit le plus proche. Notons que le DAC peut avoir une exactitude limitée due aux variations du procédé de fabrication et de la limite de vitesse d'opération. Ces contributions sont considérées dans la section E.

Dans le pire cas, le signal parasite produit par le DAC peut passer à travers le filtre et peut produire une erreur associée à la résolution du DAC :

$$\mathcal{E}_d = 2^{-d-1} \quad (3.33)$$

ou d est le nombre de bits du convertisseur numérique analogique (DAC).

Cette source d'erreur produit une gigue estimée par :

$$J_d = \frac{\varepsilon_d \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} = \frac{2^{-d-1} \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} \quad (3.34)$$

Nous avons mentionné auparavant que la résolution de la sortie de la LUT doit être jumelée avec la résolution de l'entrée du DAC. De plus, pour arriver à un design équilibré, tout en considérant la symétrie de la fonction sinus, l'entrée de la LUT doit avoir un bit de plus que l'entrée du DAC. Ceci est valable si la LUT est capable de convertir sans erreur l'argument présent à son entrée. Ce n'est pas le cas pour certains algorithmes de conversion qui ont besoin d'une résolution plus grande à l'entrée de la LUT. Notons aussi que parfois, les LUT sont plus faciles à concevoir que les DAC performants et que dans ce cas, nous pouvons augmenter le nombre de bits de l'entrée de la LUT.

On peut calculer la gigue due à la combinaison des résolutions finies de la LUT et du DAC. Nous considérons un design équilibré, qui a :

$$m = d + 1 = l \quad (3.35)$$

Dans ce cas, la gigue produite est :

$$J_l = J_m + J_d = \frac{2^{-d-1} \cdot T + 2^{-m} \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} = \frac{2^{-d} \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} = \frac{\varepsilon_l \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} \quad (3.36)$$

De plus, nous pouvons exprimer le niveau d'erreur maximal acceptable pour arriver à une contribution de gigue donnée par :

$$\varepsilon_l = J_l \cdot 2 \cdot f_{Clk} \cdot \sin(\pi \cdot \frac{fa}{f_{Clk}}) \quad (3.37)$$

En utilisant cette équation, on peut déterminer le nombre de bits nécessaires aux entrées de la LUT et du DAC pour atteindre une contribution de gigue spécifiée par J_l . Ces nombres de bits sont donnés par les équations :

$$m = l = \log_2(\varepsilon_l)^{-1} = \log_2 \left(J_l \cdot 2 \cdot f_{Clk} \cdot \sin(\pi \cdot \frac{fa}{f_{Clk}}) \right)^{-1} \quad (3.38)$$

$$d = l - 1 = \log_2(\varepsilon_l)^{-1} - 1 = \log_2 \left(J_l \cdot f_{Clk} \cdot \sin(\pi \cdot \frac{fa}{f_{Clk}}) \right)^{-1} \quad (3.39)$$

À titre d'exemple, le niveau d'erreur acceptable pour atteindre une contribution combinée du DAC et de la LUT de 200ps, en utilisant une horloge de 27MHz, qui produit un signal de 4.096MHz, sera de $4.95 \cdot 10^{-3}$, ce qui correspond à une résolution du DAC de 8 bits et de 9 bits pour la LUT.

3.1.5. La précision du DAC.

3.1.5.1. La limite de fréquence du DAC.

Les convertisseurs numériques analogiques ont une limite de fréquence caractérisée par le temps de transition entre deux niveaux différents de la sortie. Pendant ces transitions, la sortie du DAC est sujet à des bruits de transition (*glitches*). Ces bruits produisent des harmoniques supplémentaires dans le spectre du signal généré par le circuit DDS, tel que décrit à la figure 3.5. On doit s'assurer que le filtre peut couper ces harmoniques et leurs combinaisons avec les harmoniques normales du spectre produit par le circuit DDS. En conséquence, nous devons nous assurer que la durée de ces bruits de transition est au moins 4 fois plus petite que la période d'horloge pour être certain que ces bruits de transition peuvent être éliminés par le filtre.

3.1.5.2. La non-linéarité du DAC

Il est difficile d'estimer la contribution due à la non-linéarité du DAC. Cette contribution dépend du rapport de division et de la caractéristique du filtre. Pour simplifier, nous considérons que la non-linéarité du DAC doit être modélisée comme une réduction de la résolution du DAC.

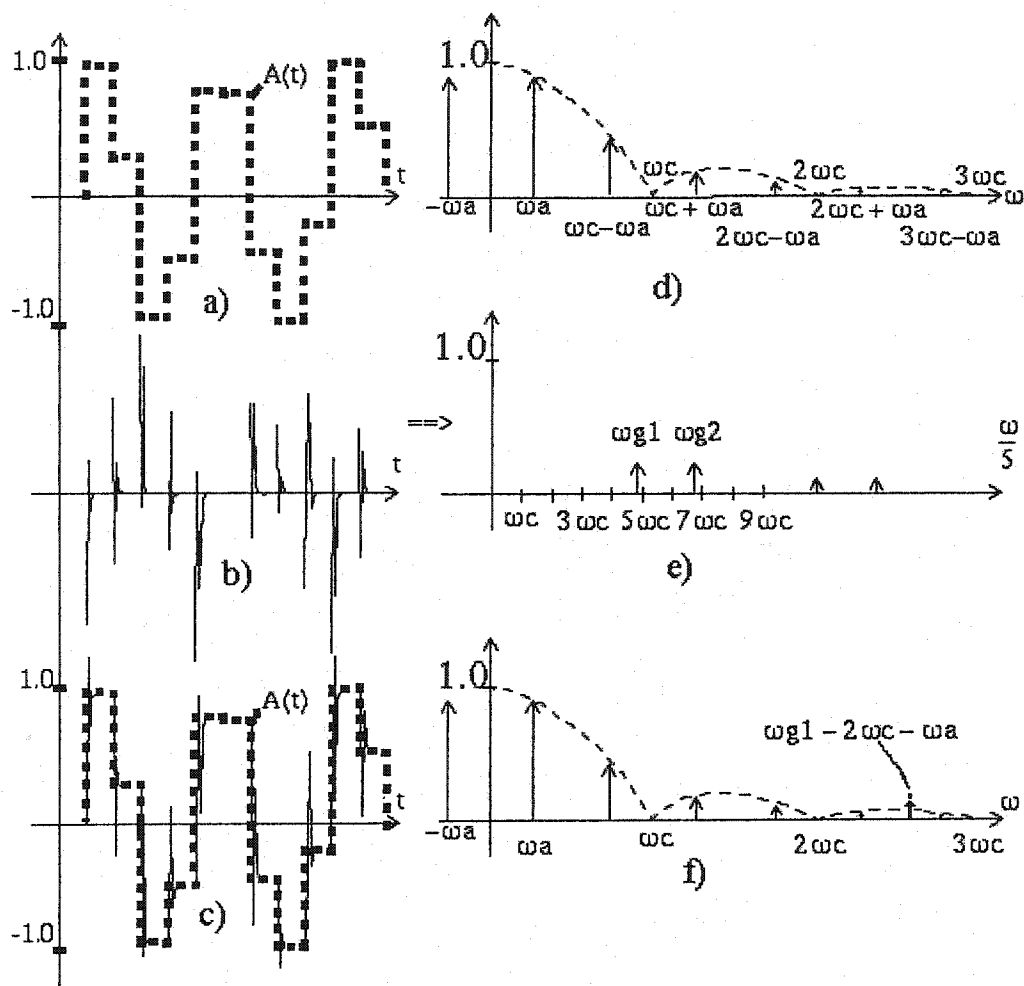


Fig. 3.5 La contribution due à la limite de fréquence du DAC :

a) signal idéal produit par un circuit DDS, b) bruit de transition, c) signal réel avec du bruit de transition, d) spectre du signal idéal, e) spectre du bruit de transition, f) spectre du signal réel

3.1.6. Les caractéristiques du filtre.

Le circuit DDS utilise un filtre pour éliminer les composantes des fréquences non-désirées du spectre, dans le but d'obtenir un signal sinusoïdal propre à l'entrée du comparateur. Un filtre idéal élimine complètement les fréquences non-désirées de ce spectre. Pour leur part les filtres réalisables, donc non-idéaux, ne peuvent pas éliminer complètement ces composantes spectrales. Les filtres réalisables peuvent seulement réduire l'amplitude des fréquences non-désirées. Ces fréquences, montrées à la figure 3.6, produisent un niveau d'erreur associé qui détermine une gigue dans le signal de sortie. Le niveau d'erreur associé s'obtient par l'addition de toutes les amplitudes des fréquences non-désirées que l'on retrouve à la sortie du filtre.

Il est évident que la deuxième composante du spectre est la plus difficile à filtrer et que dans une première approximation, nous pouvons négliger les composantes de fréquences supérieures du spectre. Cependant si nous utilisons par exemple un filtre Chebyshev elliptique, nous devons également considérer la contribution de ces composantes, contribution qui peut devenir appréciable.

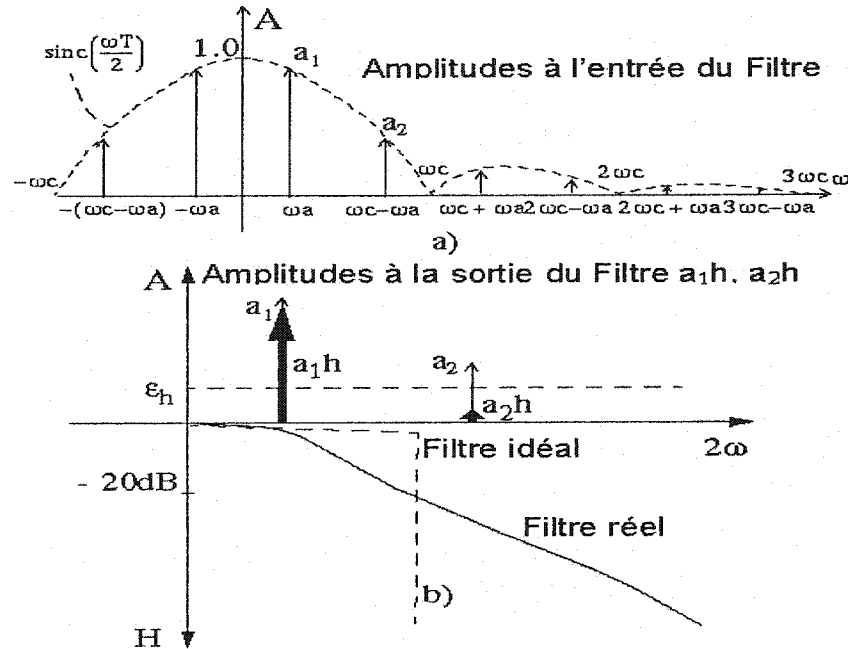


Fig. 3.6 Contribution due aux caractéristiques du filtre :

a) amplitudes des composantes à l'entrée du filtre et b) à la sortie du filtre

Une atténuation minimale de la deuxième harmonique du spectre est nécessaire pour obtenir un niveau d'erreur acceptable ϵ_h . Sur la figure 3.6b, la caractéristique nécessaire du filtre doit satisfaire la relation :

$$\epsilon_h = \frac{a_2 h}{a_1 h} = \frac{1}{h_{21}} \cdot \frac{a_2}{a_1} \quad (3.40)$$

Dans cette équation, a_1 et a_2 sont les amplitudes de la fondamentale et de la deuxième harmonique du spectre présent à l'entrée du filtre, $a_1 h$ et $a_2 h$ sont les amplitudes de ces composantes spectrales retrouvées à la sortie du filtre lorsque h_{21} est l'atténuation du filtre entre les fréquences de la première et la deuxième harmonique.

Notons que la deuxième harmonique a une fréquence donnée par l'équation :

$$f_2 = f_{Clk} - f_a \quad (3.41)$$

En utilisant les équations 2.8, 2.10 et 3.41 nous obtenons :

$$\varepsilon_h = \frac{1}{h_{21}} \cdot \frac{\text{sinc}\left(\frac{\omega_c - \omega_a}{2} \cdot T\right)}{\text{sinc}\left(\frac{\omega_a \cdot T}{2}\right)} \quad (3.42)$$

Nous pouvons calculer l'atténuation minimale requise pour que les harmoniques supérieures du spectre produisent une gigue inférieure à un seuil acceptable, atténuation donnée par l'équation 3.43:

$$h_{21} = \frac{\text{sinc}\left(\frac{\omega_c - \omega_a}{2} \cdot T\right)}{J_h \cdot 2f_{Clk} \cdot \text{sinc}\left(\frac{\omega_a \cdot T}{2}\right) \cdot \text{sinc}\left(\frac{\omega_a \cdot T}{2}\right)} \quad (3.43)$$

Prenons comme exemple un circuit DDS qui utilise une horloge de 27MHz pour produire un signal de 6.144MHz et dont on veut limiter la gigue déterminée par la caractéristique du filtre à 300ps. Le filtre nécessaire doit atténuer la deuxième composante du spectre, présente dans ce cas à la fréquence 20.856MHz, avec au moins 28.85 dB.

3.1.7. La précision du comparateur.

Un décalage de tension d'entrée du comparateur (offset) constant en temps produit un décalage de phase constant, que nous ne considérons pas comme une gigue. La fluctuation de la tension d'alimentation peut causer une gigue considérable si le comparateur n'a pas un taux de rejet de la fluctuation de la tension d'alimentation (PSSR) assez élevé. Nous devons concevoir attentivement le comparateur pour minimiser l'effet de ces fluctuations. De plus, nous devons utiliser des sources d'alimentation propres. Préférentiellement, nous devons découpler ces sources de n'importe quelle source de bruit importante.

3.2. Le modèle de sommation de la gigue

La théorie du bruit suggère de considérer les sources de gigue comme produisant des giges aléatoires et d'estimer leur combinaison par une équation quadratique :

$$\xi_{out}^2 = \xi_1^2 + \xi_2^2 + \dots + \xi_k^2 \quad (3.44)$$

Dans l'équation 3.44 ξ_{out} représente la moyenne quadratique de la gigue de sortie, lorsque $\xi_1, \xi_2, \dots, \xi_k$ représentent les moyennes quadratiques des giges produites par chaque source de gigue.

Dans l'industrie on utilise souvent une équation qui dit que la valeur crête à crête de la gigue de sortie, J_{out} , est six fois plus grande que la moyenne quadratique de la gigue :

$$J_{out} = 6 \cdot \xi_{out} \quad (3.45)$$

Pour une distribution normale des événements, en moyenne seulement 2.6 événements parmi 1000 produiront une gigue plus grande que J_{out} telle qu'elle est définie par l'équation 3.45

Les équations 3.44 et 3.45 reflètent la réalité seulement si les sources de gigue ne sont pas corrélées. Nous ne pouvons cependant pas garantir que ces sources ne sont pas corrélées. De plus, comme on prend des intervalles de temps assez long pour mesurer la gigue de sortie, même si les sources de gigue ne sont pas corrélées il est possible d'observer le pire cas où les contributions des valeurs maximales s'additionnent.

En conséquence, notre modèle propose l'utilisation d'une simple addition pour déterminer la gigue maximale en sortie d'un circuit DDS, contrairement à ce que la théorie commune du bruit et de la gigue suggère. Ceci s'exprime par :

$$J_{out} = J_A + J_B + \dots + J_G \quad (3.46)$$

Dans cette équation, J_{out} est la gigue de sortie, alors que $J_1, J_2 \dots J_k$ sont les giges produites par chacune des sources de gigue du DDS.

3.3. Les étapes de conception d'un circuit DDS

L'analyse des sources de gigue présentée dans les paragraphes précédents permet au concepteur de réaliser un circuit DDS dont la gigue du signal de sortie n'excède pas la limite imposée par les spécifications.

Pour minimiser l'effort de design, le concepteur doit répartir la valeur de la gigue donnée par les spécifications dans les parties correspondantes à chaque source de gigue identifiée. L'approche la plus simple est de diviser la valeur de la gigue acceptable par le nombre de sources de gigue connues. Par la suite, le concepteur doit réaliser chaque partie du circuit DDS de façon à ce que la gigue produite par cette partie ne dépasse pas la limite imposée pour cette partie. Le concepteur peut cependant moduler la distribution de la gigue acceptable entre les différentes sources de gigue lorsque la réalisation d'une certaine partie du circuit DDS s'avère difficile.

À titre d'exemple, supposons que nous devons concevoir un circuit DDS qui utilise une horloge de fréquence entre 27 et 36MHz pour générer un signal de fréquence entre 4 et 6.144MHz. Les spécifications limitent la gigue de sortie à 1ns.

Tout d'abord, nous partageons cette limite entre les sources de gigue de la façon suivante : 200ps pour la gigue de l'horloge, 200ps pour le bruit interne du circuit DDS, 200ps pour l'accumulateur de phase, 200ps pour la contribution de la LUT et du DAC et 200ps pour le filtre. Le 200ps pour le bruit interne détermine une marge de sûreté pour les fluctuations de la tension d'alimentation, les bruits causés par les transitions et pour toutes les autres sources de bruit non-spécifiées.

Dans une première itération, nous constatons que le filtre est un composant difficile à concevoir. Nous décidons donc d'augmenter la limite de la gigue pour le filtre à 300ps et de réduire la limite de l'accumulateur de phase à 100ps.

L'équation 3.28 nous permet de déterminer que l'accumulateur de phase doit avoir au moins 28 bits, pour que la gigue produite n'excède pas 100ps. Conformément à l'équation 3.37, pour limiter les contributions de la LUT et du DAC à 200ps, celles ci doivent avoir une entrée de 8 bits pour le DAC et 9 bits pour la LUT. Les 300ps acceptables pour le filtre exigent une atténuation de 28.85dB de la deuxième harmonique du spectre, qui se trouve à 20.856MHz. De plus, l'équation 3.2 détermine que le bruit interne du circuit doit être inférieur à -46dB. Les 200ps de gigue acceptable pour l'horloge d'entrée font partie des spécifications.

Une fois que nous avons déterminé ces paramètres du design, nous pouvons passer à l'étape de réalisation pratique du circuit DDS. Les méthodes de conception des blocs d'un circuit DDS ne sont pas l'objet de notre recherche. Nous avons donc utilisé des circuits communs pour implémenter les différents blocs, tels que l'accumulateur de phase, la LUT, le DAC, le filtre et le comparateur.

Toutefois, nous avons trouvé une méthode supplémentaire de correction de la phase accumulée de l'accumulateur de phase. Cette méthode est présentée dans le prochain chapitre.

Chapitre 4.

Direct Digital Frequency Synthesis of Low-Jitter Clocks

Le fait que les circuits DDS classiques permettent de réaliser des rapports de division, exprimés seulement par un dénominateur égal à une puissance de 2, amène à un problème d'approximation de la fréquence de sortie. Cette approximation dépend du nombre de bits de l'accumulateur de phase utilisé dans un circuit DDS. Si cette approximation peut être acceptée dans les systèmes de télécommunication, elle devient un problème majeur pour les circuits de synchronisation. L'horloge utilisée pour transmettre l'information audio doit être précisément synchronisée avec l'horloge vidéo, sinon l'information audio sera sujette à des pertes de données.

Une bonne analogie à cette situation est le problème du calendrier. Le rapport de division entre la période de l'année et la période du jour est approximatif de $365.242198/1$. Pour tenir compte du fait que l'année n'est pas décrite par un nombre de jours entier, Jules César a décrété que chaque 4-ième année doit avoir une journée de plus. Ceci signifie que le calendrier Julien a un rapport de division de $365.25/1$. La différence entre les deux rapports de division s'est accumulée jusqu'au 16-ième siècle, quand le Pape Grégoire a décidé que pour les années multiples de 100, seulement celles qui sont multiples de 400 soient bissextiles. En même temps, le Pape a décidé que le 4 octobre 1582 sera suivi par le 15 octobre 1582, en effaçant dix jours du calendrier. Ceci a eu pour conséquence

d'amener l'équinoxe au 21 mars. Notons que le calendrier Grégorien n'est correct que pour 2500 années, et qu'on aura de bogue de l'année 2500.

Le même problème peut arriver si on essaye de synchroniser deux systèmes en utilisant des horloges avec un rapport de division incorrect. On peut se retrouver au milieu d'un spectacle télévisé avec le son qui arrive avant ou après l'image, ce qui peut être dérangeant. Dans ce cas, certains circuits de correction genre 'Pape Grégoire' seraient nécessaires pour corriger l'erreur. Notons qu'effacer des données ou générer des pauses n'est pas l'idéal.

Nous avons donc cherché une solution qui permet aux accumulateurs de phase d'exprimer des rapports de division définis par des nombres arbitraires. Une revue de littérature sur le sujet se trouve dans l'annexe B, qui reproduit notre article présenté à la conférence CICC'2000 [30].

Dans cet article, on analyse une solution qui remet à zéro l'accumulateur de phase, solution qui produit un saut de phase à chaque remise à zéro. Ce saut de phase est dérangeant pour certaines applications, incluant la notre.

Une autre solution modifie le comportement du module de calcul de la phase accumulée. Un accumulateur de phase régulier a un module exprimé par une puissance de 2, alors que celui proposé par E. McCune a un module variable [31]. Cet accumulateur de phase

est capable d'exprimer un rapport de division arbitraire, mais la mémoire LUT doit être reprogrammée pour chaque valeur différente du dénominateur du rapport de division.

Nous avons proposé une solution qui est basée sur la variation de la valeur de l'incrément de phase présent à l'entrée de l'accumulateur. Dans la forme la plus simple de la méthode, on utilise deux valeurs différentes pour l'incrément de phase. Ces valeurs sont différentes par une quantité égale au bit de poids le plus faible de l'accumulateur.

Un circuit simple, capable de changer la valeur de l'incrément de phase par 1 LSB, est présenté à la figure 4.1. Ici on change la valeur du bit d'entrée de la chaîne de retenue (C_{in}) en utilisant un mécanisme de contrôle (module *Control*). La variation de ce bit correspond à une variation de 1 LSB de la valeur de l'incrément de phase.

Le mécanisme de contrôle varie la valeur du C_{in} selon une séquence périodique et uniforme bien déterminé, séquence décrite dans l'article. Un accumulateur de phase, présent dans le mécanisme de contrôle, génère la séquence périodique uniforme du C_{in} . L'implémentation du mécanisme de contrôle est présentée en annexe C.

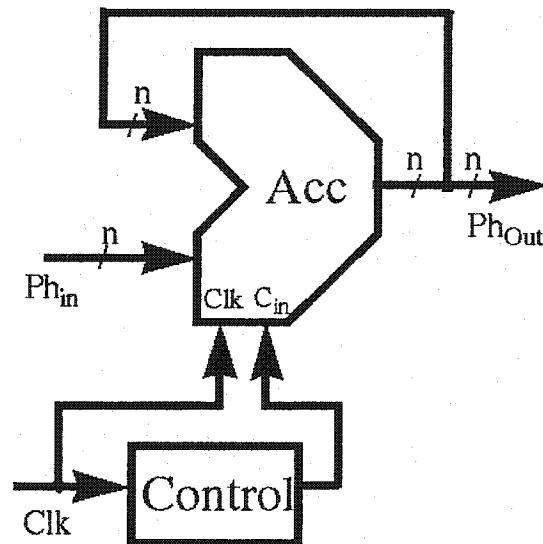


Fig. 4.1 Contrôleur qui module l'incrément de phase

La solution proposée donne une correction fine de la phase accumulée. Elle ne produit pas un saut de phase comme le fait la solution qui consiste à remettre l'accumulateur à zéro pour limiter la croissance de l'erreur de phase. Le fait que l'accumulateur de phase ne doive pas être remis à zéro facilite sa conception pour des fréquences d'opération élevées. Le mécanisme de contrôle peut fonctionner à une fréquence inférieure à l'accumulateur de phase. Dans ce cas, l'accumulateur de phase doit avoir un nombre de bits supérieur à celui de la mémoire LUT, pour que le cheminement de la retenue n'introduise pas d'erreurs significatives.

Par rapport à la solution qui utilise un module variable, notre solution n'a pas besoin de reprogrammer la mémoire LUT pour chaque valeur du dénominateur du rapport de division.

Un circuit qui utilise la méthode proposée a été fabriqué avec une technologie CMOS de $0.35\mu\text{m}$. Les résultats expérimentaux montrent une gigue sur une période de 3ns crête à crête. La gigue périodique, mesurée pour une période de 10ms, est aussi de 3 ns, ce qui confirme la méthode proposée dans ce troisième chapitre. Les résultats de ce travail de recherche sont publiés dans l'article [32]:

Cet article est reproduit dans les pages suivantes.

Direct Digital Frequency Synthesis of Low-Jitter Clocks

Dorin Emil Calbaza, Student member IEEE and

Yvon Savaria, Senior Member, IEEE

ABSTRACT — *This paper presents a new phase correction technique applicable to phase accumulators that allows them to express arbitrary rational divide ratios such as $R=N/M$. Compared to existing methods, the technique gives better results in terms of jitter, and it simplifies design and implementation of practical DDS circuits. A typical application of the proposed technique is digital television, where combinations of existing standards lead to the need to synchronize exactly a 6.144MHz audio clock with a 35.46895MHz video clock. This implies a divide ratio of $R=122880/709379$.*

Index Terms -- Direct Digital Synthesis, DTV Clock Frequencies, and Jitter.

4.1. INTRODUCTION

Direct digital synthesis (DDS) of clocks is used in communications when the main emphasis is on spectral properties, particularly the spectral purity of a signal depending on implementation constraints – bit resolution, linearity, clock accuracy etc. [11-27,33-35]. However, the phase correction technique presented in this paper targets a different problem; the synchronization between clocks in Digital Television (DTV). With this

application, the main emphasis is on controlling the peak-to-peak jitter, and not on the spectral purity of the DDS signal [1,30].

Fig. 4.2 presents the general structure of a DDS. It contains an Accumulator (ACC), a Look-Up-Table (LUT), a Digital to Analog Converter (DAC), a Filter (F), and a Comparator (C). At each period $T = 1/f_{clk}$ of the Clk clock, the DDS adds a digital number P to its cumulative phase. This number P is the numerical representation, with n bit resolution, of the phase increment Ph . The bit resolution of the phase accumulator is usually between 24 and 64, which gives a good precision. The output phase given by the ACC is truncated to m bits in order to control the LUT.

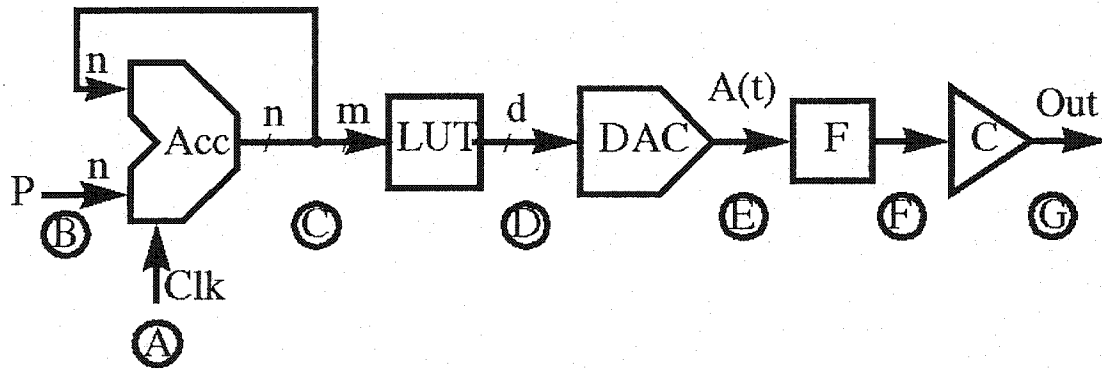


Fig. 4.2 General structure of a DDS circuit

The output frequency (f_a) of the DDS output signal is [11,13]:

$$f_a = f_{clk} \cdot \frac{P}{2^n} = f_{clk} \cdot Ph \quad (4.1)$$

Equation (4.1) presents a major limitation of a classic phase accumulator. A regular DDS is unable to generate exactly frequencies with divide ratios expressed by rational

numbers, where the denominator is not expressible as 2^n . In practice, many applications [9,10] require exact divide ratios expressed as:

$$R = \frac{N}{M} \quad (4.2)$$

where N and M are any natural numbers.

If the output frequency is not expressed precisely, each period of Clk clock adds a phase error that corresponds to the difference between the desired output period and the period determined by Eq. (4.1). This phase error accumulates, and with time, it can reach infinity, unless some corrections are made.

Note that an infinite bit resolution phase accumulator can give a zero jitter contribution, but any attempt at truncating its output phase to m bits gives a jitter contribution that is analogous to the LUT contribution. Thus, as the bit resolution increases to infinity, the frequency error and the cumulative phase error decrease to zero. The combination of an almost zero cumulative phase error and an infinite time gives an undetermined result. In practice, no system works for infinite time, and a large enough bit resolution could make the cumulative phase error approach zero. Therefore, if a finite resolution phase accumulator leads to the same LUT input as an infinite resolution phase accumulator over some time period, then they both have a zero jitter contribution over that period. We will call this case an ideal phase accumulator.

The next section reviews existing solutions to this problem. Section 3 proposes an original solution whose performance is described by an analytical expression of the resulting jitter contribution due to the phase accumulator. Experimental results and conclusions are presented in sections 4 and 5.

4.2. EXISTING SOLUTIONS

4.2.1. *Resetting the Phase accumulator*

A possible solution is to periodically reset the phase accumulator [1,36]. Indeed, resetting the accumulator after M clock periods can bound the phase error. When M is a large number, this solution can produce a significant low-band jitter. A more detailed analysis can be found in [30].

4.2.2. *Variable modulus digital synthesizer*

A variable modulus solution is proposed in [31]. It consists in a modified phase accumulator, which expresses directly the desired divide ratio. The jitter contributed by this phase accumulator, analyzed in [30], is 0. However, a different LUT content is required for every value of M , which is incompatible with storing it in a ROM when multiple values of M must be supported, as is the case in multi-standard video conversion. The method proposed in the following achieves the same performance without this limitation.

4.3. PROPOSED ARCHITECTURE

The solution to minimize the phase error proposed here is to change the Ph value at regular intervals. This can eliminate the error corresponding to the approximation of the divide ratio. For example, by taking two different numbers, Ph0 and Ph1, that approximate the divide ratio $R=N/M$, one smaller and one larger than $R=N/M$, we can vary the phase increment Ph between Ph0 and Ph1 according to a sequence that will reduce and possibly eliminate the output phase error. Over M clock periods, the Ph0 and Ph1 values will feed the phase accumulator input; A times Ph0 and B times Ph1, with $A+B=M$. A more detailed analysis can be found in [30].

The preferred method to determine the Ph0 and Ph1 values is:

$$Ph0 = Rb = \lfloor N/M \rfloor_n \quad (4.3)$$

$$Ph1 = Rb + 1 \text{ LSB} = Ph0 + 1 \text{ LSB} \quad (4.4)$$

Where Ph0 approximates down the divide ratio (R) with the floor function in n-bit fractional binary representation, while Ph1 approximates up the divide ratio (R) by adding 1 least significant bit to Ph0.

In this case, by keeping $Ph1 - Ph0 = 1 \text{ LSB}$, the error of the phase accumulator can be kept at 1 LSB.

Introducing an input carry bit in the phase accumulator is equivalent to adding 1 LSB to the phase increment (Ph), which is the simplest method to change between Ph0 and Ph1. This solution is presented in Fig. 4.3, which contains a phase accumulator (Acc) clocked by Clk, a phase output (Ph_{Out}), a phase input (Ph_{in}), and a carry input (C_{in}). As shown in Fig. 4.3, the Control circuit provides the input carry signal to Acc according to an appropriate sequence.

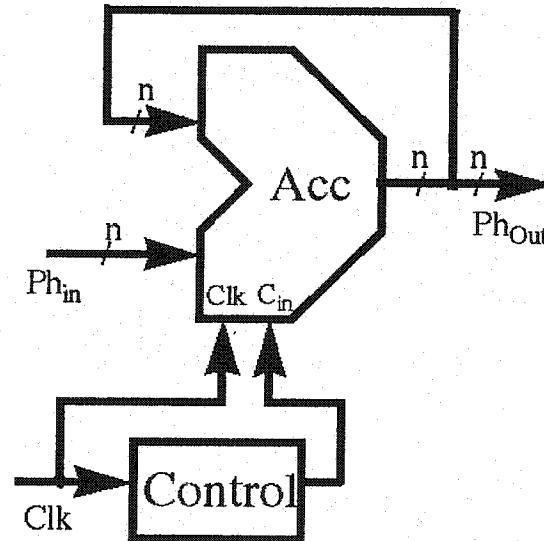


Fig. 4.3 Controlling the phase increment number

The jitter given by the proposed method depends on the order in which the Ph0 or Ph1 periods are used. Interleaving periods with Ph0 and Ph1 durations systematically produces lower jitter. A good solution would be obtained if the A Ph0 periods and the B Ph1 periods were uniformly distributed as shown in Fig. 4.4. A more detailed analysis can be found in [30].

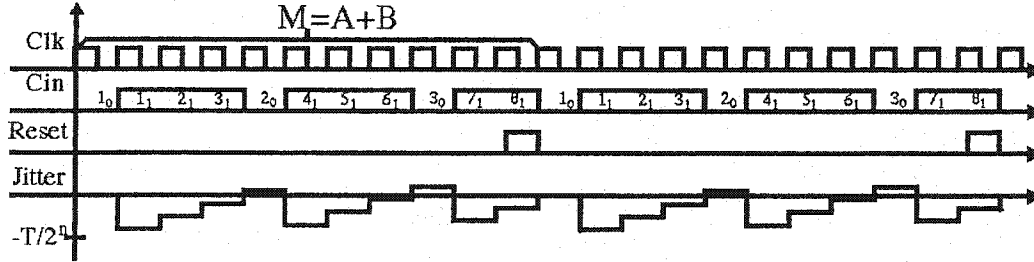


Fig. 4.4 The uniform distribution of Ph0 and Ph1

This periodic sequence spreads as uniformly as possible A periods of Ph0 duration and B periods of Ph1 duration. In that case the maximum jitter, J_u , can be bounded by:

$$J_u < (1/2^n) * T \quad (4.5)$$

, because the sequence is self-compensating, and the maximum jitter induced by a subsequence is smaller than the duration represented by 1 LSB fraction of the period expressed as $T/2^n$.

For instance, Fig. 4.4 presents the case of a 12 bit phase accumulator, which implements a divide ratio given by $N/M=2/11$. In this particular case, by using Eq. (4.3), we found $Ph0 = 0.0010,1110,1000b$ and according to [30] and (4.3) $A=3$ and $B=8$. This implementation refers to Fig. 4.3, where the C_{in} signal is provided to a 12-bit phase accumulator. In Fig. 4.4, the A and B periods are uniformly interleaved. The marked periods follow the order $1_0, 1_1, 2_1, 3_1, 2_0, 4_1, 5_1, 6_1, 3_0, 7_1, 8_1$. In M clock periods, C_{in} has the 0 value for the same $A=3$ periods, and the 1 value for the same $B=8$ periods. Note that in this case the lowest peak of the phase is $-(B/M)*(T/2^n)$ and the highest peak is $(A/M)*(T/2^n)$, so the peak-to-peak jitter will be $(A+B/M)*(T/2^n) = (M/M)*(T/2^n) = T/2^n$.

In order to obtain the desired uniform distribution of the Ph0 and Ph1 periods, we can control the C_{in} signal of the phase accumulator by using the Carry out signal of a second phase accumulator. This second phase accumulator will naturally generate a Carry out signal with the distribution shown in Fig. 4.4.

4.4. EXPERIMENTAL RESULTS

A prototype direct digital synthesis circuit was designed on the basis of the proposed jitter control method. This prototype chip was designed for synchronizing audio and video clocks in DTV. The target specification is a maximum 4ns peak-to-peak jitter. Therefore the DDS design parameters were computed to the minimum needed for this jitter, while producing a small area and low power consumption. The phase error correction technique was added to produce exact divide ratios between the input and output clock. This circuit was fabricated with a 0.35- μ m double-poly, triple-metal, n-well CMOS process from TSMC, provided through the services of the Canadian Microelectronics Corporation.

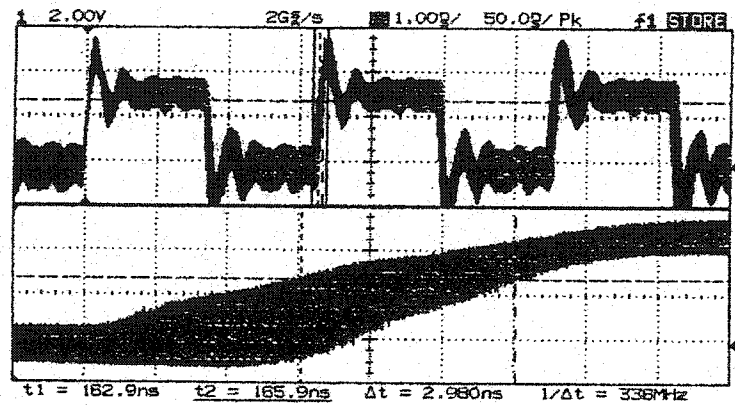


Fig. 4.5a) Experimental results – one period jitter

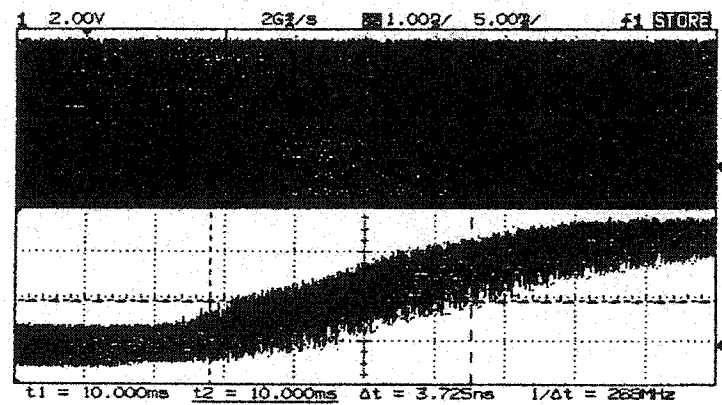


Fig. 4.5b) Experimental results – accumulated jitter

The output jitter of the chip, measured with an oscilloscope, shows in Fig. 4.5a) a 3-4ns peak-to-peak jitter one period after the trigger. By delaying the window of the oscilloscope by 10ms, we measured the same 3-4ns peak-to-peak jitter (see Fig. 4.5b). Therefore the low-band jitter contribution of the test chip is negligible. The power consumption was measured to be 20mW at 3.3V for a 36MHz input clock. Fig. 4.6 presents a photograph of the DDS test chip. Fig. 4.6 presents a photograph of the DDS test chip.

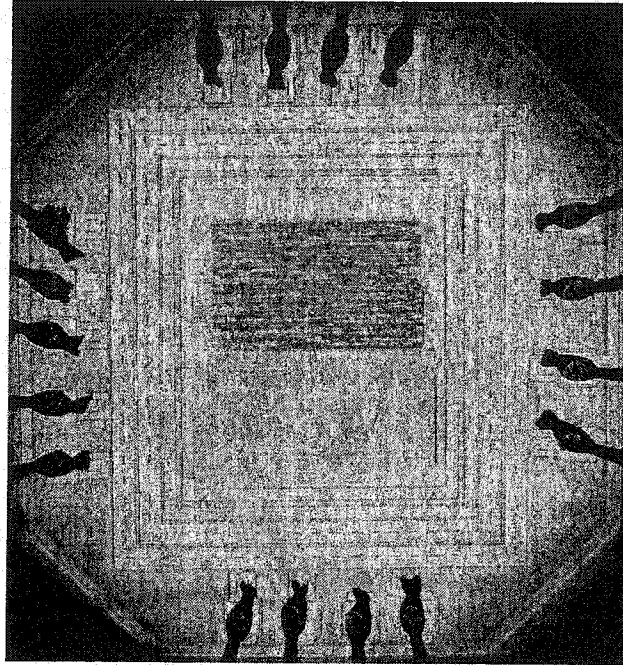


Fig. 4.6 The Chip Photograph.

	[33]	[37]	[38]	This work
Technology	0.8 μ m BiCmos	1 μ m CMOS	0.8 μ m CMOS	0.35 μ m CMOS
Clock frequency	110MHz	100MHz	30MHz	36MHz
LUT bit number	12 bits	19 bits	9 bits	9 bits
DAC bit number	10 bits	16 bits	8bits (No DAC)	8bits
Power	282 mW	1.4 W	9.5 mW	20 mW
Active Area	3.9mm ²	12mm ²	0.9 mm ²	0.55mm ²

Table 4.1 Comparison between different DDS

Table 4.1 shows a comparison between different DDS reported recently [33,37,38]. These circuits are operated in the (50-200MHz) range of clock frequencies. Note that according to the data available, all the DDS presented in the table can meet the jitter

specifications of our target video application, but besides our circuit, none of the others supports the exact divide ratio required by the DTV standards.

4.5. CONCLUSION

A correction method of the phase error in phase accumulators has been proposed. The method consists in changing the phase increment according to a proposed algorithm, in order to eliminate the phase error associated with the finite dimension of the accumulator. By using this phase correction technique with a direct digitally controlled delay generator [39] in a regular $0.25\mu\text{m}$ CMOS technology, we can achieve a peak-to-peak jitter of about 250-100ps for any divide ratio expressed by a rational number, and for an output frequency that can go up to 1.5GHz.

4.6. ACKNOWLEDGEMENTS

The authors wish to thank Miranda, Gennum and Micronet for their financial support of this research, and the Canadian Microelectronics Corporation for providing the tools and technology access for implementing a prototype chip.

Chapitre 5.

A direct digital period synthesis circuit

Dans le chapitre précédent, nous avons présenté une solution qui rend les circuits DDS capables de générer des rapports de division définis par des nombres arbitraires. Cependant, les circuits DDS classiques restent tributaires de certaines limitations. Les principales limitations sont la fréquence maximale de sortie de ces circuits, la complexité de design et la difficulté d'obtenir une gigue réduite.

Ce chapitre présente un nouveau type de circuit de synthèse numérique, le circuit de synthèse numérique de la période (DDPS). Nous avons présenté le circuit DDPS à la conférence CAS'2000 [39], dans un article reproduit dans l'annexe D. Cet article présente le principe de fonctionnement des circuits DDPS, ainsi qu'une revue de littérature sur des circuits qui visent à atteindre des objectifs similaires.

Par rapport aux circuits DDS standards, le circuit DDPS ne produit pas une onde sinusoïdale. En conséquence, on n'utilise plus de table de sinus LUT, de convertisseur numérique analogique ou de filtre. Le signal d'horloge de sortie est produit en utilisant une ligne de délai contrôlée et un circuit de sélection de transition. Les avantages principaux de cette nouvelle approche sont la simplicité du design, la réduction de la consommation de puissance due à l'élimination de la mémoire LUT, les grandes

fréquences de sortie réalisables et la réduction de la gigue à la sortie par rapport aux circuits DDS connus.

Par rapport aux circuits décrits dans la revue de littérature présentée en annexe D, le circuit DDPS utilise l'horloge produite à sa sortie pour incrémenter l'accumulateur de phase. Ceci permet de produire une fréquence de sortie supérieure à la fréquence d'entrée utilisée pour stimuler la ligne à délai. Comme l'accumulateur de phase détermine la fréquence maximale de ces circuits, notre circuit peut fonctionner à des fréquences très élevées. Les circuits identifiés dans la littérature produisent une fréquence plus petite que la fréquence de travail de leur accumulateur de phase, donc leur fréquence de sortie maximale sera toujours inférieure à celle produite par notre circuit.

Le prototype du circuit DDPS implémenté dans une technologie CMOS de 0.25 μm atteint une fréquence de 500MHz et il produit une gigue de 208ps crête à crête. Le principe de fonctionnement, la méthode de conception et les résultats expérimentaux sont présentés dans les pages suivantes, qui reproduisent l'article :

D. Calbaza, Y. Savaria - "A direct digital period synthesis circuit" accepté pour publication au Journal of Solid-State Circuits.

A direct digital period synthesis circuit

Dorin Emil Calbaza, Student member IEEE, and
Yvon Savaria, Senior Member IEEE

ABSTRACT —*This paper presents a Direct Digital Period Synthesis (DDPS) circuit, which combines the DDS ability to control the frequency, with the speed and accuracy of a DLL-based frequency multiplier. The resulting DDPS circuit can synthesize clocks with accurately controlled periods. It can do clean accurate transitions from a first target period to a second target period, both periods having precisely specified durations. A prototype integrated circuit reported in this paper, implemented in 0.25 micron CMOS technology, can synthesize clocks with frequencies up to 500MHz and peak-to-peak jitter measured at 208ps.*

Index Terms — Direct Digital Synthesis, Phase Accumulators, Frequency Synthesis, DLL-based frequency multipliers.

5.1. INTRODUCTION

In multi-standard digital television applications, there is a requirement to produce clocks having different frequencies, such as 354.6895MHz and 360MHz that are related by a

ratio of exactly $709379/720000$. Those clocks must have a very low timing jitter, typically below 200ps.

The solution should be easily transferable from one technology to another, therefore it is preferable to use building blocks that are easy to design, like logic gates, delay lines or ring oscillators, instead of more complex analog components like Digital to Analog Converters (DACs). A fully integrated solution must use a minimum number of external components, such as crystal oscillators, capacitors or complex filters. Ideally, only one crystal oscillator will be used to produce a stable clock reference, from which all the other clocks must be derived. Moreover, a good candidate for a fully integrated solution should offer low sensitivity to switching noise. Indeed, in system on chip (SOC) applications, switching noise from other parts of the system should be expected. The fully integrated DDPS prototype presented in this paper is able to meet such tight requirements.

Direct Digital Synthesis (DDS) is a popular technique to synchronize clocks related by divide ratios expressed with large integers [1,12,30,31,33,35,36]. However, a regular DDS circuit presents some limitations for trying to achieve very high frequencies with fully integrated CMOS on-chip implementations. The following presents a brief introduction to DDS in order to clarify the limitations of its basic architecture.

Fig. 5.1 presents the general structure of a DDS. It contains an Accumulator (Acc), a Look-Up-Table (LUT), a DAC, a Filter (F), and a Comparator (C).

At each period $T = 1/f_{\text{Clk}}$ of Clk clock, a DDS adds a digital number N to its cumulative phase. The cumulative phase is then converted in its sine value by the LUT, which is then converted into an analog signal by the DAC. The resulting signal, $A(t)$, approximates a sinusoidal signal at the desired frequency. From $A(t)$, we can use a filter to cut the undesired frequency components, and a comparator to generate the desired output clock (Out).

The output frequency (f_a) of this signal will be:

$$f_a = f_{\text{Clk}} \cdot \frac{N}{2^n} = f_{\text{Clk}} \cdot Ph \quad (5.1)$$

Where n is the bit resolution of Acc, f_{Clk} is the Clk clock frequency, and N is the binary number present at the Acc's input. This number divided by 2^n determines the phase increment number (Ph). Note that Ph is always smaller than unity.

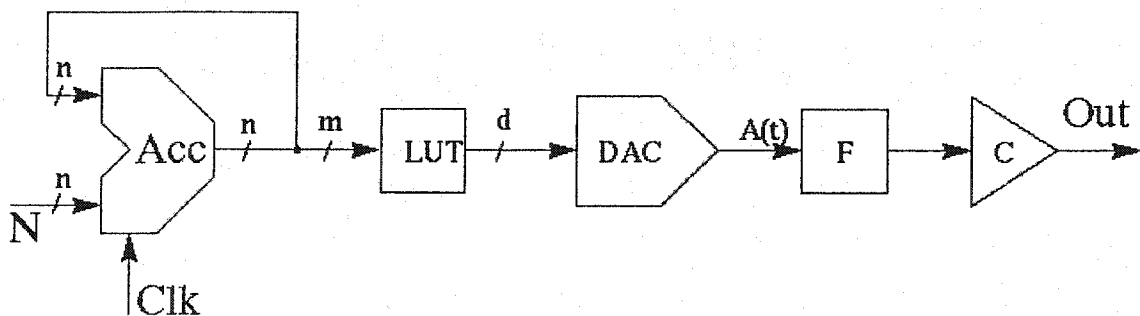


Fig. 5.1 – DDS circuit

While the Acc and the LUT can be implemented to operate over 1GHz frequency, the analog parts of the DDS (the DAC and the Filter) are a bottleneck for an on-chip CMOS implementation. The maximum operating speed of those parts is far below the maximum speed of the digital parts. At the same time, the on-chip integration of the analog parts is increasingly difficult when the power supply voltage scales down with technology.

The maximum input frequency of the clock used by a DDS circuit cannot exceed 300MHz, while the frequency of the output clock is limited at 150MHz [40]. Practical constraints on implementation of an on-chip filter may reduce the maximum output frequency, and tend to produce more output jitter than the off chip filter used in some of the most advanced DDS.

Some authors [41-46] have proposed variants of the DDS architecture: the DDS with interpolation circuits or the digitally controlled delay line (DCDL). In those variants, the DAC and/or the Filter have been eliminated, thus the operating frequencies of those DDS have been increased. Moreover, in [41-46] the DDS are built from digital parts only, thus they are easier to implement with low power supply voltages. However, none of these circuits can directly produce an output clock having a frequency higher than its input clock.

In order to produce a frequency higher than the input clock, a DLL-based frequency multiplier could be used [47]. This circuit can multiply the frequency of an input clock, but only by an integer number.

Direct digital period synthesis circuits were reported and analyzed in [39,48]. These circuits combine a DDS with a DLL-based frequency multiplier. They can multiply a reference clock frequency with any binary fractional number.

The DDPS supports input clock frequencies greater than those achievable with regular DDS circuits, and it can synthesize frequencies greater than the input clock frequency. The DDPS does not use complex analog parts, such as DAC or filters, but only simpler components with functionality similar to the PLL/DLL building blocks; therefore it is easy to integrate on chip. The following presents the basic functionality of the DDPS, the transition selector circuit, which is the core of a DDPS, as well as some experimental results.

5.2. THE DDPS

The DDPS can multiply a reference clock frequency with a fractional number. Fig. 5.2 and Fig. 5.3 respectively present the general block diagram and the timing diagram of this circuit.

The block diagram contains a transition generator (TGen), which produces several output signals at the same frequency as the input reference clock (Clk), but with evenly distributed phases. A transition selector circuit (TSel) is responsible for selecting one of the transitions provided by TGen. This transition is propagated to the output clock (Oc). Transition selection is done according to the output produced by the phase accumulator (Acc).

The ability to select the transition that propagates to the output clock allows the DDPS to numerically control its output period. A conventional DLL-based frequency multiplier propagates transitions in their natural order, and its output period is fixed.

The transition generator circuit was implemented by using a differential ring oscillator composed of 32 differential buffers/inverters, connected as a ring oscillator. For instance, with a 3.2ns ring oscillator period, this TGen can produce 64 derived copies of the clock with transitions delayed by 50ps from each other. In this case, only the 6 MSB of the Acc

output are used to select one of the 64 transitions. The propagated transition is also used to control the phase increment.

By using a PLL that allows multiplying the input clock frequency, the authors can easily obtain a 3.2ns period clock required to control the differential ring oscillator as mentioned above. However, if a high frequency low jitter clock is available, a DLL could be used to implement the TGEN, with possibly a better jitter performance. For a low frequency input clock, the jitter contribution of a PLL can be smaller than the jitter contribution due to the delay mismatches inside a DLL.

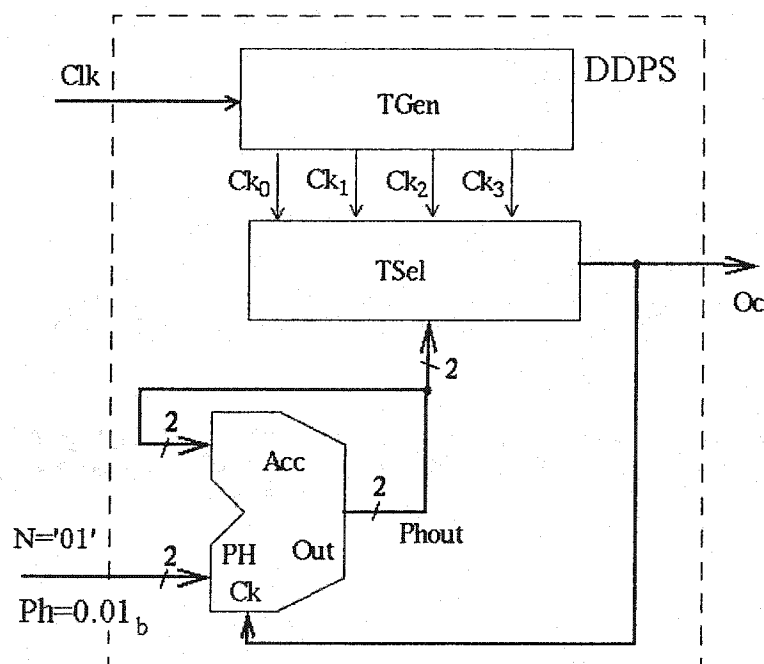


Fig. 5.2–The Block diagram of the DDPS

To simplify illustrations in the block diagram, the transition selector was limited to 4 phases, Ck_0 to Ck_3 , produced by a transition generator, and selected according to the output of a 2-bit phase accumulator. Assuming a 3.2ns period input clock, Ck_0 to Ck_3 are delayed from each other by 800ps.

A simple but key innovation compared with previous DCDL architectures [41-46] is the use of the output clock signal (Oc), generated by the DCDL, to control the phase accumulator. That feature is also found in [48]. By using Oc , its period can be made equal to a fraction of the Clk clock period (T). That fraction is specified by the phase increment Ph .

The timing diagram presents the case for $Ph=0.01_b$. The value 0.01_b is the binary representation of $1/4$. In response to clock pulses driving the Acc clock, the output phase goes from 0.00_b to 0.01_b , 0.10_b , 0.11_b , and the sequence repeats itself.

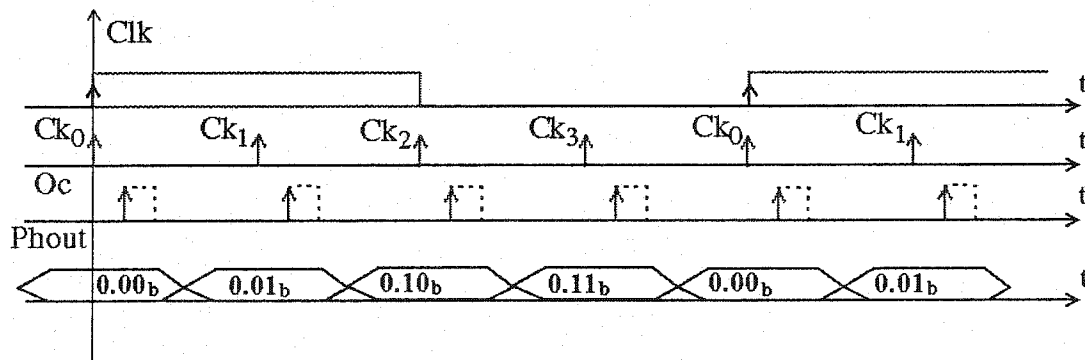


Fig. 5.3 – Timing diagram

To illustrate how this circuit works, let us assume that we start with an output phase equal to 0.00_b . This selects Ck_0 to be propagated at the output (Oc). After a propagation delay determined by the technology speed, that transition will generate a pulse on Oc. That pulse will trigger the update of the Acc content that will become 0.01_b , thus the next output phase becomes 0.01_b , which will select Ck_1 for propagation to Oc. If the selected output phase changes sufficiently before the arrival of Ck_1 , as assumed here, the DDPS acts as a frequency multiplier. The new pulses at the Acc clock input change its digital output value according to the sequence 0.10_b , 0.11_b , 0.00_b , 0.01_b , and so on, selecting Ck_2 , Ck_3 , Ck_0 , Ck_1 , to be propagated to the output clock (Oc). For another input phase number, $Ph=0.11_b$, the output phase would follow the sequence 0.00_b , 0.11_b , 0.10_b , 0.01_b and so on, giving an output period equal to three times the delay between Ck_0 and Ck_1 .

The frequency of the output signal (f_{Oc}) will be:

$$f_{Oc} = \frac{f_{Cik}}{Ph} \quad (5.2)$$

Where $Ph < 1$ is the phase increment, and f_{Cik} is the frequency of any Ck_i clock. Since Ph is smaller than 1, the output frequency is greater than the input clock frequency. Theoretically, the output clock frequency can go up to infinity. However, if Ph is too small, the next target clock from TGen arrives before the new value of the digital phase has updated the path from TGen to Oc. This could cause a race condition leading to glitching if the path from TGen to Oc is modified too close in time to the transition

selected by the digital output of the phase accumulator. However, it could also lead to skipping one full period of the input clock if the path from TGen to Oc is updated right after the transition on the next target phase of TGen. In that case, the output clock frequency would be:

$$f_{Oc} = \frac{f_{Clk}}{1.0 + Ph} \quad (5.3)$$

Setting Ph to a value that could cause glitching is not acceptable. Note that the determination of the forbidden range for Ph must take into account delay variations with process, and all other relevant operating conditions (supply voltage and temperature). The maximum output frequency is thus determined by a critical loop. This loop includes the delay from a transition on Oc, and the corresponding safe update of the selected path from TGen to Oc, to which we must add the propagation delay from TGen to Oc. For instance, with a 0.25 μm CMOS technology, a carefully optimized implementation could produce a delay below 1ns for that critical loop. That sets the maximum output frequency to a value higher than 1GHz. Of course, the speed of that critical loop would improve with technology scaling.

A phase accumulator with a bit resolution larger than the number of bits required to address the inputs of the transition selector can express the output frequency with a better precision. For instance, a 32-bit phase accumulator allows controlling the output clock

frequency with sub-hertz precision. However, the time resolution of the output transitions, and implicitly the output jitter, is determined by the time separation between the phases produced by the transition generator. This time separation corresponds to the minimum delay of a buffer/inverter of the technology, i.e. less than 50ps with a 0.25 μ m CMOS. Inserting a controlled delay in the critical path can further reduce the time resolution of the DDPS, as will be shown in the following. Another key feature of the proposed circuit is the ability to change the value of Φ on the fly. Assuming we select Φ from a set of valid values, this circuit can cleanly switch from one period value in a given cycle to a new period value in the next cycle.

5.3. THE TRANSITION SELECTOR

The core of the DDPS circuit is the transition selector. It selects one of the phases provided by TGen, and propagates it to its output. Ideally, TSel propagates each phase with the same delay to avoid inducing jitter. As hinted earlier, delay modulation can be included in the TSel circuit to improve the resolution of the DDPS. This reduces the theoretical jitter of the DDPS to a fraction of an inverter delay.

Fig. 5.4 provides a block diagram of a possible implementation of the TSel circuit. Again, to simplify illustrations, only the 2 MSBs of the phase accumulator output control the transition selection. The next 2 LSBs of the phase accumulator output are used to control

the propagation delay through the output buffer. The circuit comprises a PLA Decoder, 4 resetable D-Flip-flops, an OR gate, and a buffer with controlled propagation time.

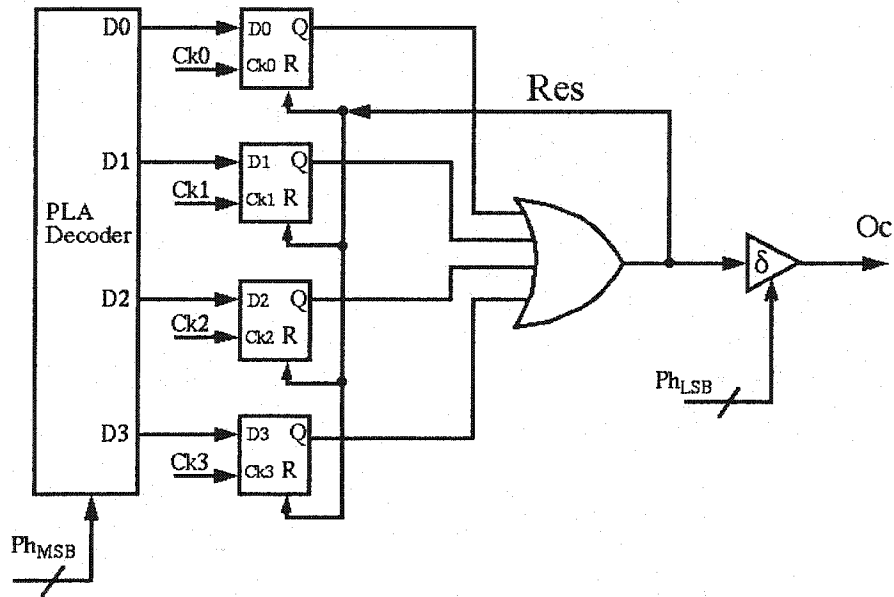


Fig. 5.4 The basic principle of the TSEL circuit

The PLA Decoder receives the 2 MSB (Ph_{MSB}) of the Phase Accumulator, and sets the D0-D3 lines according to the received code. A PLA was used for convenience. It also occupies a small size, due to its regular layout structure, and it produces a small delay since transistors are connected in parallel. For instance, if $Ph_{MSB} = '0.01'$, D1 will be at 1. Thus, Ck1 is selected, and when its rising edge arrives, the corresponding Q line becomes '1'. This '1' propagates through the OR gate, resetting all the D-Flip-flops, and generating a pulse to the output clock (Oc). The pulse on Oc activates the Phase accumulator, selecting a new phase to be propagated as presented in section 2.

It is important to equalize the propagation delays from selected Ck_i ($i=0-3$) to the output of the OR gate, since variations of this propagation delay cause jitter. Considering a 500ps propagation delay, 5% mismatch would produce about 25ps period jitter.

We can improve the time resolution of TSel with a delay modulator. In our practical implementation, we have 50ps phase resolution of the Ck signals. The delay modulator can be implemented with a buffer controlled by the 2 bits of the output phase of ACC (Ph_{LSB}) that directly follow the set of MSBs used to control the PLA Decoder. These two bits modulate the propagation delay (δ) through the buffer as follows:

for $Ph_{LSB} = '00'$ $\rightarrow \delta = 100ps$,

for $Ph_{LSB} = '01'$ $\rightarrow \delta = 112.5ps$,

for $Ph_{LSB} = '10'$ $\rightarrow \delta = 125ps$,

for $Ph_{LSB} = '11'$ $\rightarrow \delta = 137.5ps$,

Therefore, the resolution provided by TSel is 12.5ps.

One could choose different solutions to implement the controlled delay output buffer. A simple solution, not adopted here, would be to use tri-state buffers connected in parallel and controlled by the Ph_{LSB} . A similar solution was used to implement the numerically controlled oscillator in [49]. This simple solution has the disadvantages that the 12.5ps resolution step would now be dependent on the process, supply voltage and temperature (PSVT) variations, and at the same time, it cannot be modified for a different input clock frequency.

In our implementation, we use the voltage, V_{cap} , generated to control the PLL filter capacitor to control the 12.5ps resolution step. This partially compensates for PSVT variations and for different input frequencies. However, this control mechanism is not perfect, and it can increase the spurs generated by the PLL. In DTV applications, these spurs are not so important as they are for cellular phone systems. Thus, in cellular phone systems, an invariant (open-loop) variable delay may be a better approach.

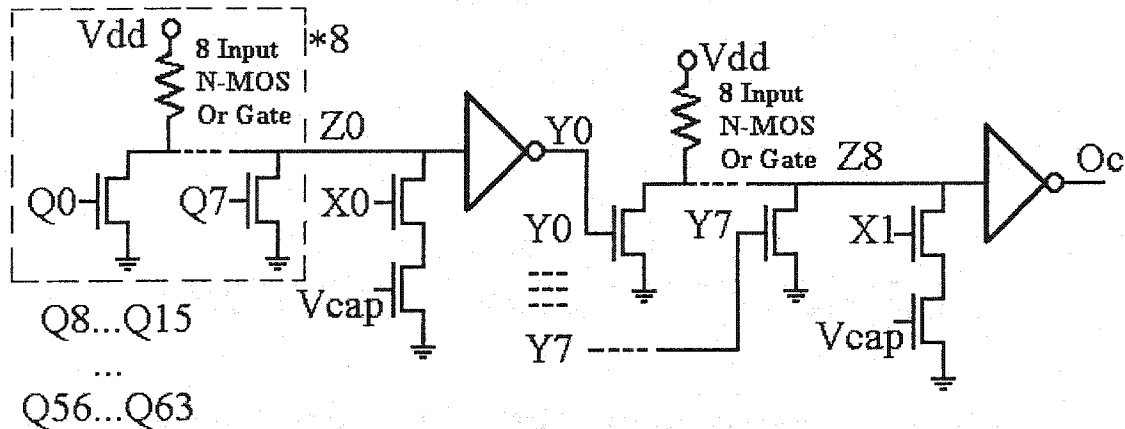


Fig. 5.5 Practical implementation of the TSEL delay modulator.

Our prototype uses a differential ring oscillator that produces 64 different clocks, $Ck0$ to $Ck63$. Those clocks are passed through 64 D-flip-flops that select the transition to be propagated. The outputs $Q0$ to $Q63$ of those 64 D-flip-flops have to be condensed by a 64 input OR gate. It would be inadequate to use a classical 64 input OR gate, because the propagation time through that gate would limit the maximum frequency achievable by the

DDPS. The implemented solution is to break that 64 input OR gate into 8+1 nMOS type OR gates, each having eight inputs. In Fig. 5.5, the Q0 to Q7 outputs of the first eight D-flip-flops are provided to the inputs of the first “8-Input nMOS type OR gate”. This gate produces Z0. Its inverse, Y0, is provided to an input of another “8-Input nMOS type OR gate”. The output, Z8, of this gate is also inverted to produce the required output clock, Oc. The Q8 to Q63 signals follow similar paths, and are not shown in Fig. 5.5 for simplicity.

In Fig. 5.5, the transistors controlled by Vcap provide a resistive load on the Z0 to Z8 nets, which is activated by the X0 and X1 signals. Activating the pair X0 - Vcap shifts down the high level on net Z0; therefore it reduces the propagation time to Oc of a possible pulse on Q0 to Q7. Similar X0 - Vcap pairs are used for the Z1 to Z7 nets, while the pair X1 - Vcap is used to load net Z8. X0 and X1 are derived from Ph_{LSB} and provide the required modulation of the propagation time. Vcap controls the current flow through this delay modulator, and can provide first order compensation for PVT variations and for input frequency changes.

This delay modulation mechanism is not perfect. Considering the range of expected variations, when Ph_{LSB}=’11’, it adds between 27 and 48ps, instead of the desired 37.5ps. The resulting error is in the range of +/-10ps that was taken into account in the 50ps TSEL jitter contribution, as described in the following.

5.4. JITTER ESTIMATION

A simple analysis of the output jitter of the DDPS is presented in the following. It uses a coarse linear model to estimate the output peak-to-peak (p-p) jitter by adding the p-p contributions from all jitter sources. For simplicity, this coarse linear model is preferred, even though some jitter sources are un-correlated, and a statistical model could be more appropriate.

The jitter sources are: the input clock jitter, the TGen jitter, the TSel jitter and the resolution jitter.

The input clock provided by a crystal oscillator can be considered to have a 20-40ps p-p jitter.

The TGen circuit provides jittered Ck phases. This jitter comes from 2 sources. The first source is the PLL used to synchronize the Ck clocks with the input clock. This PLL is subject to the noise produced by the activity of other components integrated in the same chip and it can be designed to produce jitter of the order of 50-150ps [50]. The second jitter source is the accumulation of the inverters propagation delay mismatch, which is estimated to be between 0-50ps.

The TSel jitter is due to the mismatch between the propagation delays from the Ck inputs to Oc, and to imperfections of the delay modulator. This mismatch is also influenced by process and temperature variations, and is estimated to be between 0-50ps.

Finally, the resolution jitter is defined by the phase resolution used to control Oc. For the implementation reported in this paper, this source contributes 12.5ps jitter.

Considering all jitter sources, the period jitter of the reported implementation is expected to be between 82.5ps and 302.5ps.

5.5. EXPERIMENTAL RESULTS

A direct digital period synthesis prototype circuit was designed, implemented and tested. This circuit uses a 24 bit pipelined phase accumulator. The TGen circuit was implemented by using a differential ring oscillator having 32 buffer/inverters. The oscillation frequency of the ring oscillator was divided by 2 and synchronized with a 125MHz clock provided by a crystal oscillator; therefore the ring oscillator frequency is 250MHz. The output clock produced by the DDPS is available directly, or divided by 2, 4, 8 or 16 to the output pads of the chip.

The physical design of the DDPS prototype was produced with a minimum optimization effort; the total design time was 6 person-months starting from block diagram, through schematic, simulation, layout and tape out. Further optimization of the schematic could produce significant improvements of the layout, power consumption, output frequency, and jitter.

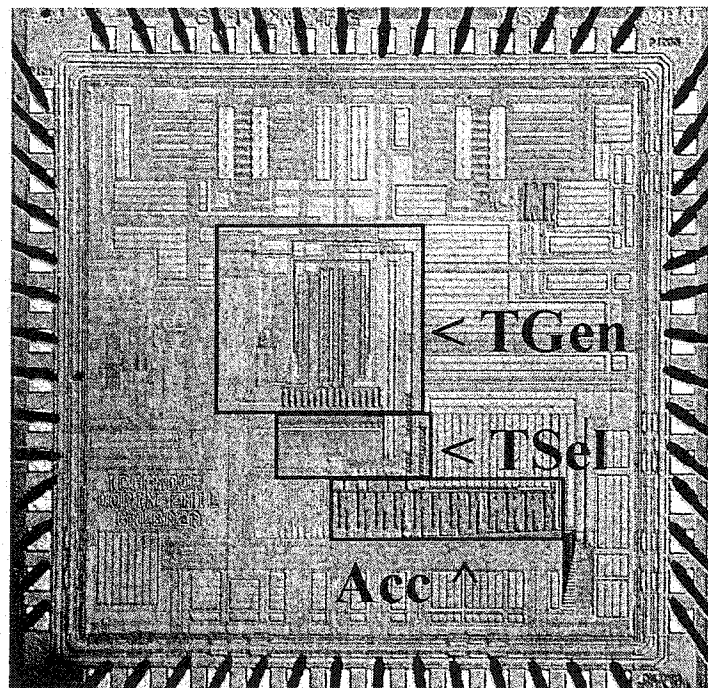


Fig. 5.6 Photograph of the DDPS prototype.

The delay modulation technique was used to improve the resolution of the transition selector circuit. This circuit was fabricated with a 0.25- μm penta-metal, n-well CMOS

process from TSMC, provided through the services of the Canadian Microelectronics Corporation. The total area occupied by the chip is 9mm^2 . Fig 5.6 presents a photograph of the DDPS prototype.

The output jitter of the chip, measured with a digitizing oscilloscope, shows in Fig. 5.7 a 208ps peak-to-peak period jitter, and 42ps rms jitter, for an input clock of 125MHz and an output clock of 355.555MHz. In this measurement, the measured output clock also drove the trigger input of the oscilloscope. We performed the same measurement for different sample chips and different output frequencies. The jitter produced by a phase increment number of 0.100...0 or 0.0100...0 was typically below 150ps. However, if one of the LSB of the phase increment number is different from zero, the peak-to-peak jitter was measured to be between 200 and 300ps. This implies that the jitter is mostly due to the PLL and to the delay mismatches in the ring oscillator.

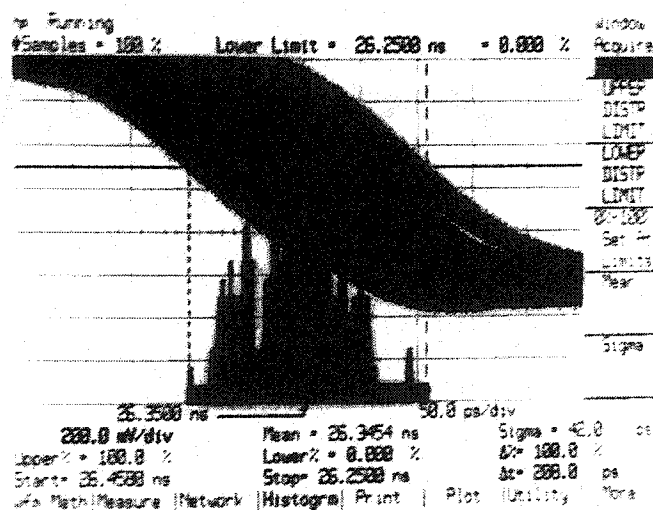


Fig. 5.7 Peak-to-peak jitter

Reference [40] reports a 66ps peak-to-peak jitter for a 40MHz output clock, but uses a 7-pole elliptic low-pass filter outside the chip. Compared with [48], the proposed DDPS exhibits better jitter performance and produces higher frequencies. This is due to the fact that we use a differential ring oscillator, an improved TSEL, and a better CMOS process.

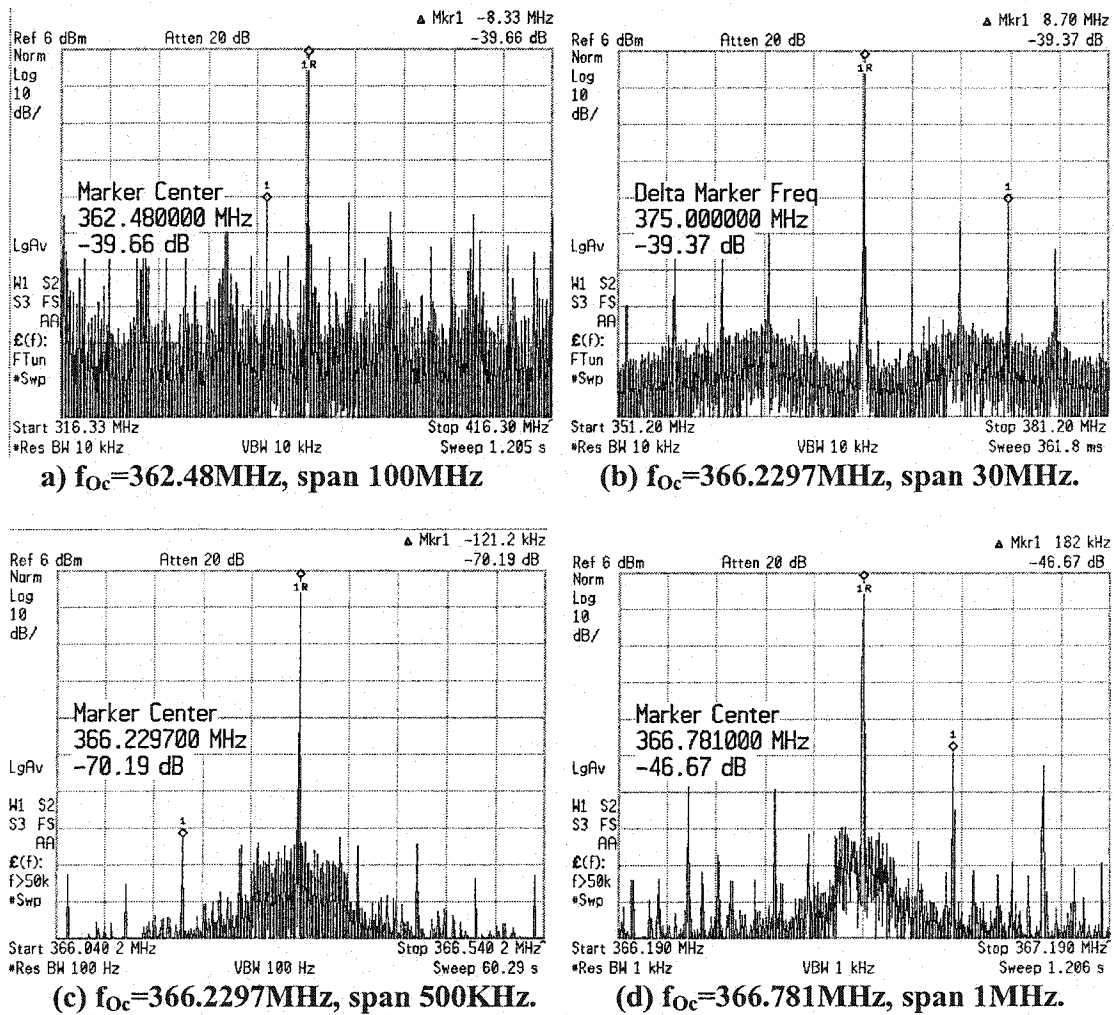


Fig. 5.8 –Spectrum for different output frequencies.

Fig. 5.8 presents the output spectrum of the DDPS for different output frequencies with different spans. Fig. 5.8(a) presents a $f_{oc} = 362.48\text{MHz}$, with a span of 100MHz . In that case, the largest observed spur has an amplitude of -39.66dB at 354.15MHz . Fig. 5.8(b) presents a $f_{oc} = 366.2297\text{MHz}$ with a span of 30MHz . Here, the largest observed spur has an amplitude of -39.37dB at 375MHz . Fig. 5.8(c) presents a $f_{oc} = 366.2297\text{MHz}$ with a span of 500KHz , and in that case, the largest observed spur has an amplitude of -70.19dB at 366.1085MHz . Finally, the worst-case spur observed is shown in Fig. 5.8(d). It was obtained when $f_{oc} = 366.781\text{MHz}$, and its amplitude was -46.67dB at 182KHz from the carrier.

Fig. 5.9 shows the transient response of the proposed DDPS. In this simulation, the ring oscillator produces 64 derived copies of the input clock with transitions delayed by 50ps from each other.

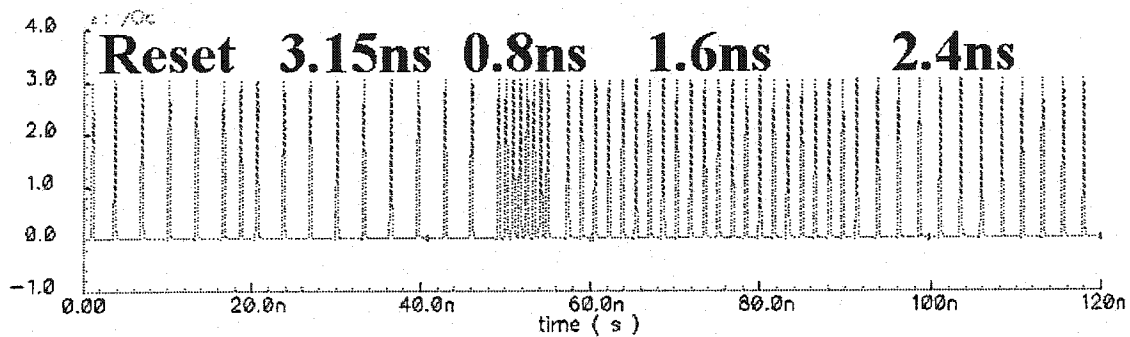


Fig. 5.9 - Simulation results

After the reset moment, the phase increment number is changed according to the following sequence $Ph=0.111111_b$, $Ph=0.010000_b$, $Ph=0.100000_b$, $Ph=0.110000_b$, which produce output clocks with periods successively set to 3.15ns, 0.8ns, 1.6ns, and 2.4ns. It clearly illustrates the ability to do clean frequency hopping.

The prototype IC reported in this paper allows changing the phase increment number through a scan chain. Thus, it is not possible to cleanly change this phase increment on the fly. Nevertheless, using the circuit's RESET, the phase increment can be switched from a preset value to the default value, which sets the output frequency at twice the input frequency.

An experiment was carried where the ring oscillator inside the DDPS has a frequency of 250MHz, synchronized with a 125MHz input clock. A 1KHz clock is used as a trigger signal by the oscilloscope, and provides the RESET signal to the DDPS. Setting the phase increment to $Ph=0.100000_b$, is expected to produce a change in the output frequency from 250MHz to 500MHz, when the RESET signal becomes inactive.

Fig. 5.10 presents the output captured with a digital oscilloscope when the RESET signal becomes inactive ($RESET='1'$). The upper part of the screen captures the RESET moment in a 250ns wide window. That window is zoomed in the bottom part in order to make the result clearer. The sampling rate of the oscilloscope is 2GSa/s and produces a modulation effect on the 500MHz visualized signal.

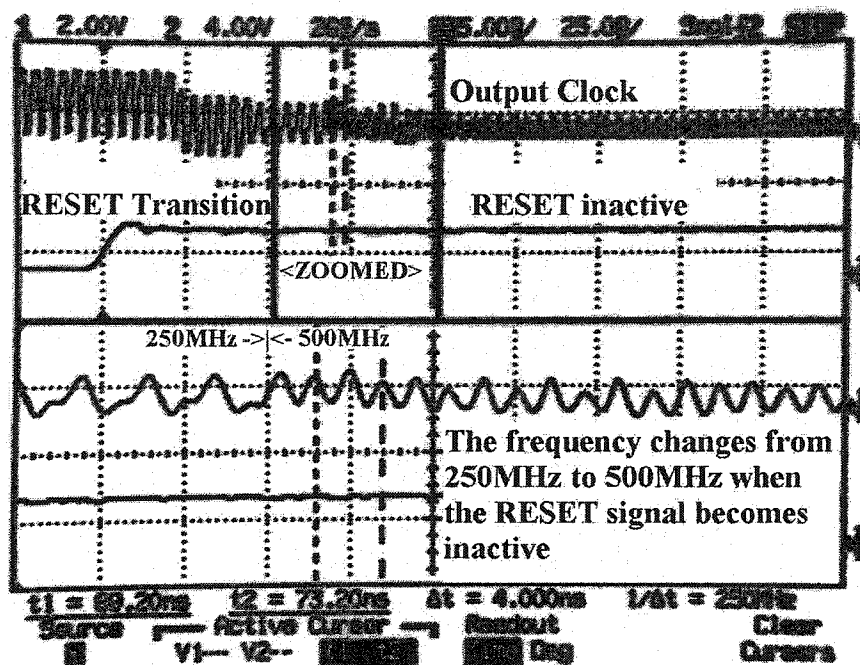


Fig. 5.10 Changing the output frequency

We can see that after the RESET signal propagates through the input pads, and through the pipelined phase accumulator, the output clock period changes instantaneously from 4ns corresponding to 250MHz to 2ns, corresponding to the programmed 500MHz output frequency.

Compared with the most recent DDS, the DDPS prototype is able to produce higher frequencies, with similar output jitter, all that by using only on-chip components. However, the DDPS produces only a clock signal, it does not produce directly a sinusoidal signal as required for some DDS applications. Table 5.1 compares our DDPS with various DDS reported recently [31,33,38,40,48].

	[40]	[33]	[37]	[38]	[48]	This work
Technology	CMOS	0.8 μ m	1 μ m	0.8 μ m	0.6 μ m	0.25 μ m
Frequency of Acc input clock	300 MHz	150 MHz	100 MHz	30 MHz	130 MHz	500 MHz
LUT	17 bits	12 bits	19 bits	9 bits	Na	Na
DAC	12 bits	10 bits	16 bits	8bits	Na	Na
Power	1.4W	600mW	1.4 W	9.5mW	150mW	500mW
Active Area	NA	3.9mm ²	12mm ²	0.9mm ²	1.7mm ²	1.3mm ²

Table 5.1 Comparison between different DDS

NA for [40] means not available while Na for our work it means not applicable

Most of the power consumed by this prototype is due to the phase accumulator (350mW@500MHz) and the transition generator (50mW), modules that can be optimized. The transition selector consumes less than 25mW, while the output buffers consume 75mW. The maximum output clock frequency measured with the experimental circuit was 500MHz. We strongly believe that 1GHz operation would be feasible with the same 0.25 μ m technology. This would have required a significant optimization of the physical implementation, and was beyond the scope of our academic research.

5.6. APPLICATIONS

Applications of the DDPS can be found in cellular phone systems, digital television, and frequency hopping systems. Moreover, it could be used to implement Numerically Controlled Crystal Oscillators (NCXO), a form of voltage controlled crystal oscillator that transforms a digital control word into an output frequency. For this application, the

phase increment number controls the output frequency of the DDPS, which acts as the control voltage of a VCO. By setting the MSB of the phase increment number to a given value, one could vary only the LSB of the phase increment number. Therefore, the gain of this NCXO can be made as low as a fraction of hertz/bit, allowing a sub-hertz PLL loop bandwidth. The frequency range of this NCXO is given by the difference between the maximum and minimum phase increment numbers for a stable operation. By dividing its output frequency, any frequency below its maximum frequency can be obtained.

This circuit can also be used to implement very accurate digitally controlled pulse width modulations. A variation of this circuit could also be used to dynamically control the clock period in a digital system.

5.7. CONCLUSIONS

An improved DDS based circuit has been proposed. This circuit can multiply a reference clock frequency with a fractional number, which eliminates the need to use an initial PLL in order to increase the frequency of the clock that drives a DDS. The speed of this circuit can go up to 1GHz, and its resolution is below 50ps. This circuit can be used in many applications where a DDS is applicable and in pulse width modulation circuits.

5.8. AKNOWLEDGEMENTS

The authors wish to thank Miranda, Gennum and Micronet for their financial support for this research.

Chapitre 6.

Discussion et conclusion

6.1. Discussion générale

Cette thèse présente des circuits de synthèse d'horloge qui utilisent des accumulateurs de phase. Ces circuits sont capables de synchroniser deux horloges de fréquences différentes, fréquences reliées par des rapports de division rationnels et arbitraires. Ils utilisent une horloge d'une fréquence de référence pour produire une autre horloge de fréquence désirée.

Le chapitre 2 présente une revue de littérature sur la problématique qui fait l'objet de cette recherche. Cette revue de littérature permet de définir les bornes à atteindre et les limites à approcher. Elle présente aussi des définitions sur la gigue, les solutions possibles au problème de synchronisation, les avantages de la méthode de synthèse numérique de fréquence, ainsi qu'un modèle de gigue des circuits DDS.

Les définitions de la gigue apportent des clarifications nécessaires pour les résultats obtenus dans notre recherche. Elles permettent d'établir de façon claire et sans équivoque les buts à atteindre. La section sur les solutions possibles au problème de synchronisation situe le problème et les difficultés à surmonter. Les motifs qui ont déterminé l'utilisation

des circuits DDS pour résoudre le problème de synchronisation sont présentés à la troisième section.

Le troisième chapitre présente une analyse sur les sources d'erreurs dans les circuits DDS. L'annexe A, qui est appelée par ce paragraphe, présente plus de détail sur cette analyse. Dans cette analyse, les sources d'erreurs sont quantifiées par un ensemble d'expressions analytiques qui permettent de prédire la valeur maximale de la gigue produite. On argumente qu'un modèle de sommation simple est mieux adapté pour borner la valeur maximale de la gigue à la sortie d'un circuit DDS. Les prédictions de ce modèle de gigue sont utiles pour faire les choix de design optimaux, pour obtenir un circuit DDS bien balancé, d'une surface réduite et qui atteint les exigences avec un effort de design minimal.

Le quatrième chapitre présente la méthode de correction de l'erreur associée aux accumulateurs de phase qui expriment des rapports de division arbitraires. Ce chapitre analyse quelques circuits trouvés dans la littérature, circuits qui peuvent être utilisés pour réduire cette erreur de phase. La nouvelle solution présentée dans ce chapitre peut donner de meilleurs résultats, en ce qui concerne la gigue, et elle simplifie le design et l'implémentation pratique des circuits DDS. Cette méthode consiste à changer la valeur de l'incrément de phase, conformément à un algorithme proposé, afin d'éliminer l'erreur de phase associée à la dimension finie de cet accumulateur. Les méthodes pour

déterminer l'algorithme et les moyens de l'implémenter sont présentées aux annexes B et C, associées à ce chapitre.

Dans le chapitre 5, nous avons proposé un nouveau type de circuit DDS, le circuit de synthèse numérique de la période (DDPS). Ce circuit combine l'agilité des circuits DDS pour contrôler précisément la fréquence avec les multiplicateurs de fréquence basés sur des circuits DLL.

Le circuit DDPS peut synthétiser des horloges avec des périodes contrôlées précisément. De plus, il permet aussi de changer rapidement la fréquence. Les fréquences des horloges générées par ce nouveau circuit DDPS sont supérieures à celles des horloges générées par les circuits DDS. La gigue de sortie de ce circuit est plus petite que celle d'un circuit DDS de complexité moyenne, et elle est comparable avec celle des circuits DDS qui utilisent des filtres et des circuits analogiques plus complexes. Ce circuit est composé d'éléments facilement intégrables dans une puce et il est moins compliqué à concevoir qu'un circuit DDS. Cependant, le circuit DDPS n'est pas capable de produire des signaux sinusoïdaux ou de formes arbitraires. Il produit seulement des horloges rectangulaires.

6.2. Directions des recherches futures

L'ensemble de nos travaux ouvre de nouvelles opportunités de recherche dans le domaine de la synthèse de fréquence, de la synchronisation et dans le domaine des circuits de boucle à phase asservie (PLL).

Dans l'élaboration de la méthode de correction de l'incrément de phase présentée au chapitre 3, nous étions intéressés seulement à réaliser un rapport de division exact. La solution proposée dans ce chapitre introduit le principe de la variation de l'incrément de phase. Par contre, le mécanisme de contrôle, présenté en annexe C, donne une solution optimale au rapport de division exact. En extrapolant ces solutions, on peut imaginer un accumulateur de phase complexe, qui utilise différentes méthodes de modulation de l'incrément de phase.

Cette modulation de l'incrément de phase peut s'avérer utile dans les systèmes de communication, où on pourrait l'utiliser pour améliorer les caractéristiques spectrales du signal produit par le DDS.

De plus, l'identification de l'accumulateur de phase idéal, qui produit le même signal de sortie qu'un accumulateur de phase de taille infinie, peut résoudre un problème de consommation de puissance. Concevoir un accumulateur de phase de grande taille offrant une consommation réduite et qui travaille à une fréquence élevée est difficile. Nous

croyons qu'un tel accumulateur n'est pas absolument nécessaire. On peut faire travailler seulement les bits les plus significatifs à la fréquence maximale requise. La partie de poids faible de l'accumulateur de phase peut pour sa part travailler à une fréquence plus basse. Ceci ouvre la porte pour une recherche sur la façon optimale de concevoir un accumulateur de phase 'multi-fréquence'.

Le circuit de synthèse numérique de la période (DDPS) peut remplacer les circuits de synthèse numérique de fréquence (DDS) dans toutes les applications où celles-ci produisent une horloge de fréquence bien déterminée. Les problèmes pratiques associés à l'utilisation des DDPS dans ces applications, ainsi que l'exploration des avantages et des désavantages qui en découlent sont des sujets de recherches futures pertinents.

Le prototype de circuit DDPS que nous avons réalisé démontre la capacité de générer des fréquences supérieures à celles générées par les circuits DDS standards. Il est possible d'améliorer les performances du DDPS pour augmenter sa fréquence de sortie, pour réduire sa consommation de puissance et sa gigue à la sortie. Une recherche dans ce domaine peut donner des résultats remarquables. Un travail de recherche a été entrepris par un membre de notre équipe pour caractériser la contribution des variations de procédés de fabrication sur la gigue de sortie d'un circuit DDPS. Un autre travail de recherche qui essaye de trouver la façon optimale pour réduire l'amplitude des composantes spectrales non-désirées produites par le circuit DDPS est en cours.

L'application du circuit DDPS dans la conception de processeurs ayant une période d'horloge contrôlée dynamiquement ouvre un champ de recherches futures important.

La conception des circuits PLL complètement numériques qui utilisent le DDPS comme oscillateur commandé numériquement (DCO) constitue un autre domaine de recherche intéressant. Le circuit DDPS peut être utilisé pour implémenter un oscillateur à base de cristal commandé numériquement (NCXO). Par rapport à un oscillateur à base de cristal commandé par tension (VCXO), qui a une échelle de réglage d'au maximum 0.02%, le circuit NCXO fournit une échelle de réglage de 200-300%. Ce NCXO serait le composant de base d'un circuit PLL complètement numérique (All Digital PLL), capable de synchroniser un signal de fréquence élevée (100MHz ou plus) avec un signal d'une fréquence plus basse (jusqu'au 1Hz).

6.3. Conclusion

Nous avons publié ou soumis pour publication l'ensemble de nos travaux. De plus, nous avons conçu et fait fabriquer deux circuits expérimentaux en technologie CMOS dans le but de confirmer expérimentalement nos travaux. Les deux circuits ont été testés avec succès. Les nouvelles technologies développées dans le cadre de ce projet fonctionnent et les méthodes d'analyse proposées permettront d'évaluer correctement leurs performances.

Un circuit qui utilise la méthode proposée dans le quatrième chapitre a été fabriqué avec une technologie CMOS de $0.35\mu\text{m}$, fournie par la Société Canadienne de Microélectronique. Le modèle de gigue, présenté au chapitre 2, a été utilisé pour borner la gigue de la période à 3-4ns crête à crête.

Les résultats expérimentaux montrent une gigue de la période de 3ns crête à crête, ce qui confirme le modèle de gigue utilisé. La gigue périodique, mesurée pour une période de 10ms, est aussi de 3 ns, ce qui confirme la méthode de correction proposée dans le troisième chapitre.

Le prototype d'un circuit DDPS est présenté au chapitre 5. Ce prototype est implémenté dans la technologie CMOS de $0.25\mu\text{m}$. Il peut synthétiser des fréquences jusqu'à 500MHz. La gigue de la période à sa sortie est limitée entre 208-300ps crête à crête, ou 42-70ps rms. Parmi les applications de ce nouveau circuit, on retrouve la téléphonie cellulaire, la télévision numérique, et les systèmes agiles en fréquence.

Enfin, notre travail de recherche a été récompensé en 2000 par un prix pour la collaboration entre l'industrie et l'université, décerné par le Consortium Stratégique en Microélectronique.

Références

1. D. Calbaza, Y. Savaria –“Jitter model of DDS clock generators” Proceedings of ISCAS’99 Volume I Section2 Article1 on Compact disc
2. SMPTE RP184-1996 ‘Specifications on Jitter in Bit-Serial Digital Systems’ The Society of Motion Pictures and Television Engineering, New York, NY, USA (1996).
3. SMPTE RP192-1996 ‘Jitter Measurements Procedures in Bit-Serial Digital Interfaces’ The Society of Motion Pictures and Television Engineering, New York, NY, USA (1996).
4. B. Drakhlis, - “Calculate Oscillator Jitter by using Phase Noise Analysis - part 1” Microwave & RF Journal, Vol. 40 No.1, January 2001, Pp 82-90 and157.
5. B. Drakhlis, - “Calculate Oscillator Jitter by using Phase Noise Analysis - part 2” Microwave & RF Journal, Vol. 40 No.2, February 2001, Pp 109-119.
6. Saronix – “Notes on Jitter” <http://www.saronix.com/technotes/jitter.pdf>
7. Reviewer 2 of “Direct digital frequency synthesis of low jitter clocks” – Private communication
8. D.B. Sullivan, D.W. Allan, D.A. Howe, and F.L. Walls, “Characterization of Clocks and Oscillators” NIST Tech Note 1337, 1990.
9. AES5-1984 “AES recommended practice for Professional Digital Audio Applications employing PCM – preferred sampling frequencies” Audio Engineering Society, New York, NY, USA (1984)
10. SMPTE 125M-1992 “SMPTE standard” The Society of Motion Pictures and Television Engineering, New York, NY, USA (1992).
11. J. Tierney, C. Rader and B. Gold, - “A Digital Frequency Synthesizer” IEEE transactions on Audio and Electroacoustics, vol. AU-19, no.1 March 1971 pp.48-56.
12. B. Goldberg – “Digital techniques in frequency synthesis” New York: McGraw-Hill, 1996

13. H.W. Cooper "Why complicate frequency synthesis", *Electronic Design* 15, 19th July 1974, pp 80-84.
14. Bozic, M.; Gardiner, J.G. "Direct digital synthesis spurious noise properties" IEE Colloquium on 'Characterization of Oscillators - Design and Measurement (Digest No.025) pp 1/1-6, 1993
15. Garvey J. F.; Babitch D. "An exact spectral analysis of a NCO based Synthesizer" *Proceedings of the 44th Annual Frequency Control Symposium* 1990 pp. 511-21.
16. Yih Chuyn Jenq "Direct Digital Synthesis with Jittered Clock" *IEEE Transactions on Instrumentation and Measurement*", V46 No. 3 pp 653-656, June 1996
17. Bozic, M.; Gardiner, J.G. "Direct digital synthesis phase noise properties" IEE Colloquium on 'Characterisation of Oscillators - Design and Measurement (Digest No.025) p.7/1-8, 1993
18. Analog Device "AD9850 Data sheet" http://www.analog.com/pdf/1990_a.pdf P 9
19. McCune, E. "Quantitative prediction of DDS spurs" *Proceedings RF Technology Expo 89* Pp. 259-68
20. McCune, E. "Frequency modulation design for DDS" *Proceedings RF Expo East 89* Pp 71-82
21. Sheffer, T. "Introduction to direct digital synthesis" *Proceedings RF Technology Expo 90* Pp. 401-11
22. Vankka, J. "Methods of mapping from Phase to Sine Amplitude in DDS" *IEEE transactions on ultrasonics, feroelectrics and frequency control* V 44 No 2 Pp 526-534 March 1997
23. Vankka, J. "A direct digital synthesizer with a tunable error feedback structure" *IEEE Transactions on Communications* (ISSN:0090-6778) V 45 Pp 416-20 April '97
24. Cercas, F.A.B.; Tomlinson, M.; Albuquerque, A.A. "Designing with direct digital frequency synthesizers" *Proceedings RF Expo EAST* Pp. 625-33 1990
25. Kuleshov, V.N.; Liu, H.Y. "Fundamental noise in direct digital frequency synthesizers" *Proceedings of the 1995 IEEE International Frequency Control Symposium. (The 49th Annual Symposium)* Pp. 288-93
26. Kuleshov, V.N.; Liu, H.Y.; Leshukov B.E. "1/F Fluctuations in DDFS and their contributions to the output oscillations power spectral density" *Proceedings of the*

- 1995 IEEE International Frequency Control Symposium. (The 49th Annual Symposium) Pp. 282-87
27. Kroupa V.F. "Spectral properties of DDFS Computer simulations and experimental verifications" Proceedings of the 1994 IEEE International Frequency Control Symposium. (The 48th Annual Symposium) Pp. 613-623
 28. Hwei P. Hsu -"Schaum's Outlines: Signals and Systems" McGraw Hill 1995, ISBN 0-07-030641-9, Page 223
 29. Hwei P. Hsu -"Schaum's Outlines: Signals and Systems" McGraw Hill 1995, ISBN 0-07-030641-9, Pp. 238-239
 30. D. Calbaza, Y. Savaria -"Direct digital frequency synthesis of low jitter clocks" Proceedings of CICC'2000, Session 3, paper 2, Pp 31-34
 31. Earl McCune -"Variable modulus digital synthesizer"- United States Patent No. 5,053,982, Oct. 1991.
 32. D. Calbaza, Y. Savaria -"Direct digital frequency synthesis of low jitter clocks" IEEE Journal of Solid-State Circuits, Vol.36, No.3, Pp. 570-572, March 01
 33. J. Vankka, M. Waltari M. Kosunen and K. Halonen " A direct digital synthesizer with an on chip D/A converter" IEEE J. Solid-State Circuits, V 33 Pp 218-227 Feb. 1998
 34. M. Kosunen, J. Vankka et al. " A CMOS quadrature baseband frequency synthesizer / modulator" Analog integrated Circuits and Signal Processing, V 18, No. 1 Pp 56-67 Jan. 1999.
 35. S. Morteza pour and K. F. Lee " Design of low-power ROM-less DDFS using nonlinear DAC" IEEE J. Solid-State Circuits, V 34, No. 10, Pp 218-227 Oct. 1999
 36. Jocelyn Ouellet and Christian Soucy, from Miranda Technologies Inc., Private communication.
 37. A.Madisetti, A.Kwentus, A.Willson " A 100-MHz, 16b, DDFS with 100-dBc Spurious free Dynamic Range" IEEE J. Solid-State Circuits, V 34, No. 8, Pp 1034-1043 Oct. 1999
 38. A. Bellaouar, M.S. O'Brecht, A.M, Fahim, and M. I. Elmarsy "Low-power DDFS for Wireless Communications" IEEE J. Solid-State Circuits, V 35, No. 3, Pp 385-390 March 2000

39. D. Calbaza, Y. Savaria - "A direct digitally delay generator" Proceedings on IEEE CAS 2000, V1, pp 87-90, Sinaia, Romania
40. Analog devices – "CMOS 300Msps Complete DDS" <http://www.analog.com> - AD9852 Data Sheets.
41. F. Lu, F. Samueli, et al - "A 700-MHz 24b Pipelined Accumulator..." IEEE Journal of Solid-State Circuits, Vol.28, No.8, Aug.93 Pp. 878-885
42. H. Elmis – "Frequency divider presetable to fractional divisors" Jan. 1985 US Pat. No. 4,494,243
43. P. Nuytkens et al. - "Digital frequency synthesizer" Jan. 1990 US Pat. No. 4,933,890
44. E. McCune - "Digital frequency synthesizer and method with vernier interpolation" Sep.1993 US Pat. No. 5,247,469
45. T. Nakagawa, H. Nosaka - "A DDS with interpolation circuits" IEEE Journal of Solid State Circuits Vol. 32 May '97 pp. 766-769
46. Janusz Nieznanski - "An alternative approach to the ROM-less Direct Digital Synthesis" IEEE Journal of Solid State Circuits Vol. 33 Jan.'98 pp. 169-170
47. G.Chien, P. Gray- "A 900MHZ local oscillator using a DLL-based frequency multiplier..." IEEE Journal of Solid State Circuits Vol. 35 Dec.'00 pp. 1996-1999
48. H. Mair and L. Xiu – "An architecture of High-Performance Frequency and Phase synthesis", IEEE Journal of Solid-States Circuits, Vol.35, No.6, pp.835-846, June 2000
49. T. Olsson, P. Nilsson – "Fully integrated standard cell digital PLL" Electronics letters V37, 15th Feb. 2001, Pp 211-212.
50. H.T. Ahn, D.J. Allstot – "A low-jitter 1.9V CMOS PLL for UltraSparc Microprocessor Applications" Journal of Solid State Circuits V 35, No. 3, March'00 Pp 450-454
51. Cosmo Little "Fractional N- synthesis" Electronics World V102 Pp 130-5 Feb.96
52. I.A. Young, et al - "A PLL clock generator with 5 to 110MHz of lock range for microprocessors " IEEE Journal of Solid State Circuits Vol. SC-27 November'92 pp. 1599-1607

53. Robert Gilmore -"DDS driven PLL frequency synthesizer with hard limiter" US Pat. No. 5,028,887

Annexe A.

Cette annexe présente une version étendue de l'article :

D. Calbaza, Y. Savaria –“Jitter model of DDS clock generators” Proceedings of
ISCAS'99 Volume I Section2 Article1 on Compact disc

JITTER MODEL OF DIRECT DIGITAL SYNTHESIS CLOCK GENERATORS

Dorin Emil Calbaza and Yvon Savaria, Member, IEEE

Abstract -- *Direct Digital Synthesis (DDS) has become a popular technique used to generate very accurate clocks. For example, in Digital Television (DTV), an audio data stream must be inserted into a video data stream, which implies that we must synchronize the audio clock with the video clock. According to the digital audio standard, the audio clock frequency is 5.6448MHz, and with PAL digital television standard, the video clock frequency is 35.46895MHz. In this case, the division ratio is 112896/709379. Other division ratios are required with other DTV standards such as NTSC, SECAM or HDTV, and with other digital audio standard frequencies. The problem is challenging, because the division ratios must be exact, and the audio clocks derived from the video clocks must have jitters as low as 1 nano-second.*

This paper proposes a jitter model applicable to direct digital synthesis (DDS) clock generators. It is based on a Fourier analysis of the output signal when the DDS is corrupted by the most common error sources. This model is applicable to the design of DDS generators subject to the most stringent jitter constraints.

This proposed jitter model could be used to determine the DDS parameters required to achieve a specific goal, with a minimum implementation cost and design effort. A DDS circuit for generating audio clock frequencies with the needed accuracy has been designed with the proposed jitter model. Results measured on an implemented prototype have shown that the circuit meets its target specifications.

Index Terms--*Direct Digital Synthesis, Digital Television, DTV Clock Frequencies, Jitter of DDS.*

I. Introduction

Future developments of digital television (DTV) will increase the problems that system designers have to solve. The DTV standards define a set of clock frequencies that the designers must use, and impose that these clocks be synchronized with precision. Table A.1 presents some popular DTV standards video clock frequencies and audio clock frequencies [9,10], and the exact divide ratios between the frequencies of the clocks that has to be synchronized:

<u>Audio</u> <u>Video</u> <u>frequency</u>	4.0960 MHz	5.6448 MHz	6.1440 MHz
27.0000 MHz	<u>512</u> 3375	<u>392</u> 1875	<u>256</u> 1125
28.63636 MHz	<u>5632</u> 39375	<u>616</u> 3125	<u>2816</u> 13125
35.46895 MHz	<u>81920</u> 709379	<u>112896</u> 709379	<u>122880</u> 709379
36.00000 MHz	<u>128</u> 1125	<u>98</u> 625	<u>64</u> 375

Table A.1 Useful frequency ratios

An unfamiliar reader could wonder if we can really talk about synchronizing clocks when their frequencies are not the same. However, when considered over long time duration, two clocks can respectively have an integer number of periods, and if these respective periods repeat, these clocks remain perfectly synchronized. For example, we may have to generate an audio clock that has precisely 122880 periods during an interval where the

video clock has 709379 periods. At the same time, the jitter of the audio clock generated must be as low as imposed by the audio standard.

It is remarkable that to obtain exact frequency ratios, large numbers of clock periods must be considered. These large numbers determine the very fine resolution with which the time increments associated with each individual period must be expressed. For instance, with a 122880/709379 divide ratio, the time increments are expressed with a resolution of $(35.46895\text{MHz} \times 122880)^{-1} = 0.229\text{ps}$. This very fine resolution cannot be detected with existing electronic test equipments. No known methods allow to define a common temporal reference from which we could derive the phase displacement of the two clocks. However, if we choose an arbitrary time reference such as a transition of the input clock, we can ignore any constant phase shift.

The kind of fine time resolution considered here can cause synchronization error problems. For instance, synchronization errors would result from directly sampling data coming from an audio subsystem, operating with its own clock domain, with a video clock whose phase shifts with respect to the audio clock are arbitrary multiples of 0.229 ps. However, a phase accumulator can manage information related to very fine time displacements while avoiding these problems. The DTV standards impose small values for the jitter of the audio clocks and video clocks. For example, the audio clock jitter has to be as low as 1 nano-second. While obtaining a 4ns peak-to-peak jitter for the

4.096MHz clock is not a problem, imposing the same constraint on the so-called low-band jitter (or long-time jitter) makes the problem difficult to solve.

A classical Phase-Locked Loop approach like the one suggested in Fig. A.1 is not recommended. In the case where the standards combination lead to a 6.144MHz/35.46895MHz frequency ratio, the frequency dividers in the loop must apply division ratios as large as $N1=122880$ and $N2=709379$. The signals compared to derive the PLL feedback signal are $6.144\text{MHz}/122880=50\text{Hz}$ square waves, which makes the design of an integrated PLL impractical, considering the very low cutoff frequencies required from the filter, and also, the stability of this PLL would be questionable.

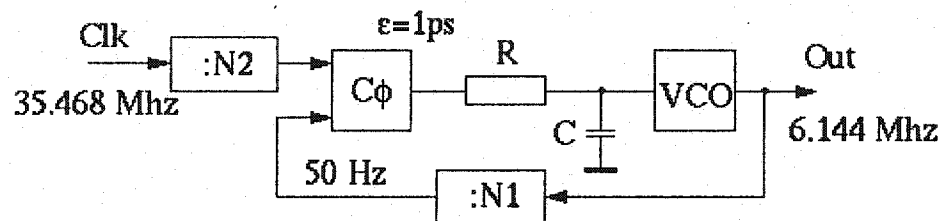


Fig. A.1 – A classical PLL synchronizer.

Also, since corrections take place only after 122880 periods of the output clock signal, even a phase comparator introducing an error of only 1ps, which is not practical, would lead to an output jitter of 122 ns, which is unacceptable.

With the Fractional-N synthesis approach [51], by changing the numbers in the divide ratios, the jitter of the output signal can be reduced significantly. However, meeting the requirements of the standards with a simple design remains difficult. Even a complex Fractional-N synthesis, which uses a DAC and a complex correction of the phase shift at the input of the phase comparator, does not guarantee the required small jitter.

Based on these considerations, the authors believe that the best approach to the problem is to use a Direct Digital frequency Synthesis (DDS) circuit. The DDS became popular in the past few years to handle situations where we need to generate frequencies controlled with a precise resolution. For instance, applications of the DDS are found in cellular phones to produce fine frequency resolution in a given band. Direct digital synthesis is often used in telecommunications, where the main objective is to control the spectral properties of the output signal, such as its phase noise and spectral purity, as functions of implementation constraints – bit resolution, linearity, clock accuracy etc. [8-27].

When using a DDS as a clock generator, such in DTV applications, we are more interested in the jitter it produces. We have developed an original analysis of the jitter produced by DDS. An outline of this analysis was first reported in [1]. Our analysis predicts the value of the peak jitter, which is particularly harmful in Digital Television. The resulting understanding of the dominant jitter sources is used to propose a design method for low jitter DDS.

Fig. A.2 presents the general structure of a DDS. It contains a phase accumulator (ACC), a look-up-table (LUT), a digital to analog converter (DAC), a filter (F), and a comparator (C).

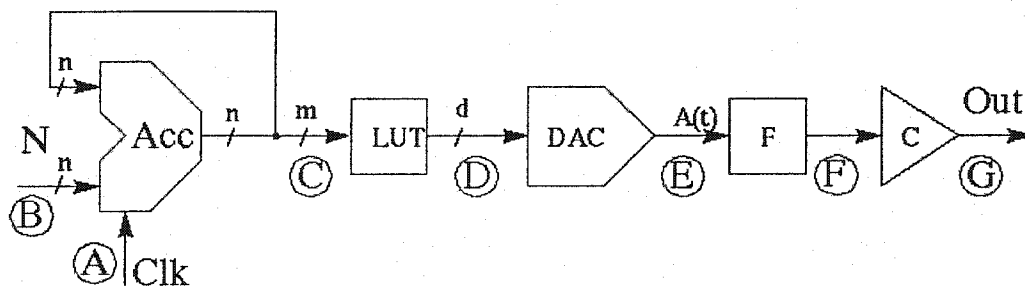


Fig. A.2 – General structure of a DDS circuit.

Because the number of bits (n) in the phase accumulator can be made sufficiently large, the DDS can produce output frequencies with very fine resolutions. Practical designs can use phase accumulators with resolutions up to 64 bits. Meanwhile, the LUT and the DAC are more limited in resolution, and practical designs are typically limited to 10-14 bit LUTs, and to 8-12 bit DACs. Ideally, by increasing those bit resolutions, the precision of the DDS will improve. By contrast, limiting these resolutions induces jitter in the output signal.

At each period $T=1/f_{\text{Clk}}$ of input clock (Clk), a DDS adds a digital number N to its cumulative phase. In Fig. 3, the timing diagram of the signal at the output of the DAC is presented. The resulting signal, $A(t)$, approximates a sine signal of the same frequency as

the signal needed. From $A(t)$, we can use a filter to cut the undesired frequency components, and a comparator to generate OUT, the desired output clock.

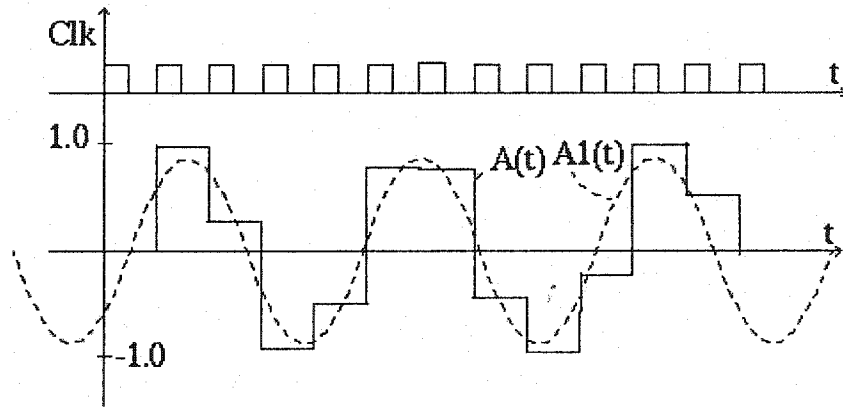


Fig. A.3 – The signal produced by the DDS circuit.

The output frequency (f_a) of the output clock signal will be controlled by the phase increment (N) presented at the input of the DDS, the bit resolution of Acc (n) and the input clock (Clk) frequency (f_{Clk}), [11,12]:

$$f_a = \frac{N \cdot f_{Clk}}{2^n} \quad (A.1)$$

The theoretical upper limit of the maximum frequency that the Fig. A.2 structure can generate is $0.5 \cdot f_{Clk}$, however, practical constraints associated with the filter F feasibility suggest that the range of generated frequencies should be restricted to $1/3 \cdot f_{Clk}$.

The desired signal at the output of the DAC is:

$$A_d(t) = \sin(\omega_a \cdot t) = \sin(2 \cdot \pi \cdot f_a \cdot t) \quad (A.2)$$

Where ω_a is the output clock signal pulsation. In fact, we will have the signal $A(t)$, represented in Fig. A.3 [11,12].

The spectrum $A(\omega)$ of this signal is illustrated in Fig. A.4 and is described by Eq. (A.3).

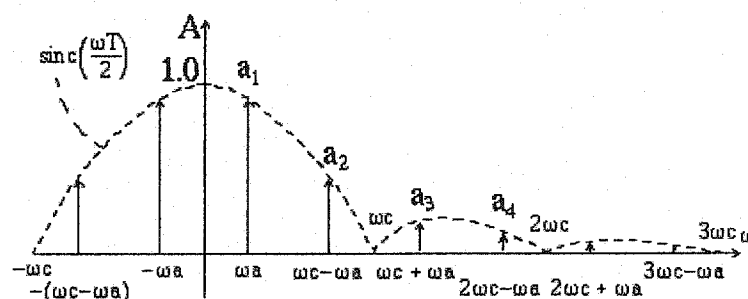


Fig. A.4 – The spectrum of DDS signal.

$$A(\omega) = A_{ref} \cdot e^{-j\omega T/2} \cdot \text{sinc}(\omega T/2) \cdot \frac{\pi}{j} \sum_{k=-\infty}^{\infty} \delta(\omega - (k \cdot \omega_c \pm \omega_a)) \quad (\text{A.3})$$

In this equation we have the following components:

1. the phase displacement of the output signal $e^{-j\omega T/2}$
2. the envelope of the spectrum – the attenuated sine function. $\text{sinc}(\omega T/2)$
3. the frequency components of the spectrum, is a sum of Dirac pulses representing sine waves. Note that ω_c is the input clock (Clk) pulsation while ω_a is the fundamental pulsation.
4. A_{ref} is the reference amplitude, given by the DAC reference. In order to simplify the equations, we will consider below that this reference voltage is 1, and we eliminate it from the equations.

In this spectrum, the most important component is the fundamental, which has the desired frequency. Its analytic expression can be extracted from Eq. (A.3):

$$A_1(t) = 1 \cdot \text{sinc}\left(\frac{\omega_a \cdot T}{2}\right) \cdot \sin\left(\omega_a \cdot t - \frac{\omega_a \cdot T}{2}\right) = a_1 \cdot \sin[\omega_a \cdot (t - \phi_1)] \quad (\text{A.4})$$

We can see that the phase displacement of this signal, expressed in time, corresponds to half of the input clock period $\phi_1 = T/2$. The amplitude a_1 of the fundamental is given by:

$$a_1 = \text{sinc}\left(\frac{\omega_a \cdot T}{2}\right) \quad (\text{A.5})$$

The rest of the frequency components are undesired and must be filtered. The most harmful component will be the second, since it is the largest and hardest to reject with a filter. This second component has the frequency $f_2 = f_{\text{CLK}} - f_a$. This component is described by Eq. (A.6):

$$A_2(t) = \text{sinc}\left(\frac{(\omega_c - \omega_a) \cdot T}{2}\right) \cdot \sin\left((\omega_c - \omega_a) \cdot t - \frac{(\omega_c - \omega_a) \cdot T}{2}\right) \quad (\text{A.6})$$

As mentioned earlier, the higher harmonics of the signal are filtered by a low-pass or a band pass filter. An ideal filter will cut all the frequency components of the spectrum, except the fundamental. In that case, only the fundamental component, which is a sine signal, will be presented at the comparator input. The zero crossings of this fundamental will generate a rectangular signal, which is the output clock needed. In the ideal case, we are able to generate only the fundamental component of the spectrum, and as a consequence, higher harmonics would contribute zero jitter to the output clock signal. However, with non-ideal components in the design, the output clock signal will be

jittered due to higher harmonics, as well as to other imperfections and finite resolutions, precisions and accuracies.

We needed to predict the maximum value of the jitter when a non-ideal DDS circuit is used as a clock generator. This led us to develop an original model to analyze that jitter.

II. Jitter sources of a DDS clock generator

In order to control the jitter of a DDS circuit, we have to identify the most common jitter sources of this circuit and to express their contribution to the total jitter on the output clock signal. In Fig. A.2 we have identified with labels the possible jitter sources:

- A. The input clock jitter.
- B. The bit resolution of the phase accumulator.
- C. The bit resolution of the LUT.
- D. The bit resolution of the DAC.
- E. The accuracy of the DAC.
- F. The characteristics of the filter.
- G. The accuracy of the comparator.

In general, if a DDS circuit could generate a sine wave controlled with infinite precision, without any noise or error, if it could use an ideal filter completely cutting all the undesired frequency components, and if it could use an ideal comparator, the output

clock signal would have a zero jitter. In practice, we cannot generate an ideal sine wave, and the circuit is subject to technological limitations, noise and errors. Thus, the sine wave presented at the comparator input is subject to perturbations. Those perturbations will produce a jitter on the output clock. Fig. A.5 illustrates how the jitter can appear.

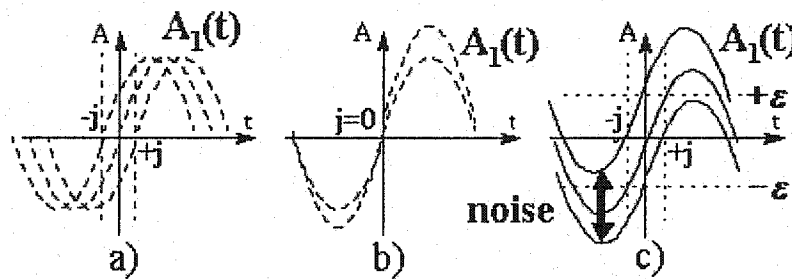


Fig. A.5 Illustrates how the jitter can appear:

a) phase error, b) amplitude error, c) level errors

A comparator transforms the sine signal $A_1(t)$, the fundamental component of the spectrum, into a rectangular signal, the output clock, by detecting its zero crossings. This signal, $A_1(t)$, is subject to phase errors, amplitude errors, noise, and level errors, which can cause jitter when detected by the comparator.

In order to simplify the analysis, we will only consider the first-order effects of the various error sources. Therefore all sources are studied in isolation, as if the other error sources were negligible.

Fig. A.5a shows that any variation of the argument (phase shift) of the sine wave gives a phase bias. By filtering the signal we cannot eliminate this bias, especially when this phase shift has a very low frequency. Knowledge of the input phase error allows to predict directly the output jitter. Known sources of such errors are the input clock jitter and the limitation of the bit resolution of the phase accumulator. We will discuss further the influence of those errors.

Amplitude variations of a sine wave will not change the zero crossing moments, as shown in Fig. A.5b, thus they do not contribute to jitter. The $A_1(t)$ signal is subject to amplitude variations generated by the variations of the DAC full-scale and of the filter characteristics due to process variations. In a first-order analysis, such variations do not induce any jitter. However, amplitude variations can induce some second-order effects by changing the signal to noise ratio (SNR) and, when using a comparator with offset, by changing the comparison level.

Fig. A.6 shows that similarly to amplitude variations, a fixed bias on the reference clock has no influence on the zero crossing spacing of a synthesized frequency, it only introduces a fixed phase shift. By contrast, the imprecision of the DAC, the LUT limitations, the comparator errors, or the propagation of unwanted higher harmonics; produce timing jitter.

Predicting exactly the error induced by the DAC, comparator, and the higher frequency components of the DDS spectrum is too complex. Our analysis only predicts the maximum amplitude contributed by each error source that we treat as random but possibly dependant errors. This analysis allows to determine the maximum possible jitter, considering that all random sources could produce a constructive cumulative error. Similarly, the limited bit resolution of the LUT gives a phase error, which modifies the divide ratio between the input clock and the output clock signal frequencies. Since this error source has a high frequency content with no clear relationship to other error sources, it is also treated as a random error source.

As will be shown, the magnitude of the resulting jitter is directly related to the amplitude of the error induced at the zero crossing time, which is related to the cumulative magnitudes of all error sources.

In reference to Fig. A.5c, the relationship between the jitter and the induced error amplitude is given by the derivative of the $A_1(t)$ signal. This derivative must be evaluated at the zero crossing moment, which correspond to $T/2$ according to equation A.3:

$$\left. \frac{d}{dt} A_1(t) \right|_{t=\frac{T}{2}} = \frac{\varepsilon}{J} \quad (\text{A.7})$$

Where J is the jitter, and ε is the relative error amplitude at the zero crossing moment.

The derivative of (5), evaluated at $T/2$, yields:

$$J = \frac{\varepsilon \cdot T}{2 \cdot \sin\left(\frac{\omega_a \cdot T}{2}\right)} \quad (\text{A.8})$$

Clearly the jitter is proportional to the error amplitude, ε . The jitter also depends on the output signal pulsation ω_a . Indeed when ω_a becomes small compared with T , ($\omega_a T \ll 1$) the jitter is inversely proportional to ω_a .

For example, based on equation (A.8), a 46dB signal to noise ratio (SNR), which implies that $\varepsilon=0.00495$ with a nominal normalized amplitude of $A_{\text{ref}}=1$, gives a random jitter of 200psec, in the case of a DDS circuit used to generate a 4.096MHz output frequency from a 27MHz clock frequency. The following discussion analyses all error components that contribute to corrupt the zero crossings of $A_1(t)$.

A. Input clock jitter

The clock used by a DDS circuit can be jittered and this contribution must be considered to develop a realistic estimate of the jitter of the output signal. This analysis, which assumes that an ideal DDS circuit is subject to a jittered clock, is based on the Fourier transform of the generated signal.

The following equations are the starting point in this analysis:

$$\sin(x) = j \frac{e^{-jx} - e^{jx}}{2} \quad (\text{A.9})$$

$$e^{ja} - e^{jb} = 2j \cdot e^{j \frac{a+b}{2}} \cdot \sin \frac{a-b}{2} \quad (\text{A.10})$$

$$e^{jx} = \cos(x) + j \sin(x) \quad (\text{A.11})$$

The Fourier transform of $f(t)$ is defined by:

$$F[f(t)] = F(\omega) = \int_{-\infty}^{\infty} f(t) \cdot e^{-j\omega t} dt \quad (\text{A.12})$$

The inverse Fourier transform of $F(\omega)$ is defined by:

$$f(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} F(\omega) \cdot e^{j\omega t} d\omega \quad (\text{A.13})$$

The Fourier transform of a sine wave is given by [28]:

$$F[\sin(\alpha t)] = -j\pi \cdot [\delta(\omega - \alpha) - \delta(\omega + \alpha)] \quad (\text{A.14})$$

$$x(t) \cdot \delta(t - a) = x(a) \cdot \delta(t - a) \quad (\text{A.15})$$

The complex exponential Fourier series of a periodic Dirac comb is given by [29]:

$$\delta_{T_0}(t) = \sum_{k=-\infty}^{\infty} \delta(t - k \cdot T_0) = \frac{1}{T_0} \sum_{k=-\infty}^{\infty} e^{-j \cdot k \cdot \frac{2\pi}{T_0} \cdot t} \quad (\text{A.16})$$

In the equation A.16 we can change $2\pi/T_0$ with T and t with ω , in order to find the following equation:

$$\sum_{k=-\infty}^{\infty} e^{-j \cdot \omega \cdot k \cdot T} = \frac{2\pi}{T} \cdot \sum_{k=-\infty}^{\infty} \delta(\omega - k \cdot \frac{2\pi}{T}) \quad (\text{A.17})$$

The equation A.17 is used to prove the equations A.18 and A.19, needed for the analysis of the signal produced by a DDS circuit.

$$\begin{aligned}
 \sum_{k=-\infty}^{\infty} \sin(k\alpha) e^{-jk\omega T} &= \sum_{k=-\infty}^{\infty} e^{-jk\omega T} \cdot \frac{-j(e^{jk\alpha} - e^{-jk\alpha})}{2} \\
 &= \sum_{k=-\infty}^{\infty} \frac{-je^{-jkT(\omega - \frac{\alpha}{T})}}{2} - \sum_{k=-\infty}^{\infty} \frac{-je^{-jkT(\omega + \frac{\alpha}{T})}}{2} = \\
 &= \frac{-j}{2} \cdot \frac{2\pi}{T} \sum_{k=-\infty}^{\infty} \left[\delta(\omega - k \cdot \frac{2\pi}{T} - \frac{\alpha}{T}) - \delta(\omega - k \cdot \frac{2\pi}{T} + \frac{\alpha}{T}) \right] \\
 \sum_{k=-\infty}^{\infty} \sin(k\alpha) e^{-jk\omega T} &= \frac{-j\pi}{T} \cdot \sum_{k=-\infty}^{\infty} \left[\delta(\omega - k \cdot \frac{2\pi}{T} - \frac{\alpha}{T}) - \delta(\omega - k \cdot \frac{2\pi}{T} + \frac{\alpha}{T}) \right] \quad (A.18)
 \end{aligned}$$

$$\begin{aligned}
 \sum_{k=-\infty}^{\infty} \sin[(hk + p)\alpha] e^{-j(hk + p)\omega T} &= \\
 &= \sum_{k=-\infty}^{\infty} e^{-j(hk + p)\omega T} \cdot \frac{-j[e^{j(hk + p)\alpha} - e^{-j(hk + p)\alpha}]}{2} \\
 &= \frac{-j}{2} \left\{ \left[e^{-j \cdot pT(\omega - \frac{\alpha}{T})} \sum_{k=-\infty}^{\infty} e^{-j \cdot k \cdot (\omega - \frac{\alpha}{T}) \cdot hT} \right] - \left[e^{-j \cdot pT(\omega + \frac{\alpha}{T})} \sum_{k=-\infty}^{\infty} e^{-j \cdot k \cdot (\omega + \frac{\alpha}{T}) \cdot hT} \right] \right\} \\
 &= \frac{-j}{2} \frac{2\pi}{hT} \sum_{k=-\infty}^{\infty} \left[e^{-j \cdot p(\omega - \frac{\alpha}{T}) \cdot T} \delta(\omega - k \cdot \frac{2\pi}{hT} - \frac{\alpha}{T}) - \right. \\
 &\quad \left. - e^{-j \cdot p(\omega + \frac{\alpha}{T}) \cdot T} \delta(\omega - k \cdot \frac{2\pi}{hT} + \frac{\alpha}{T}) \right]
 \end{aligned}$$

$$\begin{aligned}
 \sum_{k=-\infty}^{\infty} \sin[(hk + p)\alpha] e^{-j(hk + p)\omega T} &= \\
 &= \frac{-j\pi}{hT} \sum_{k=-\infty}^{\infty} \left[e^{-jp(\omega - \frac{\alpha}{T})T} \delta(\omega - k \cdot \frac{2\pi}{hT} - \frac{\alpha}{T}) - e^{-jp(\omega + \frac{\alpha}{T})T} \delta(\omega - k \cdot \frac{2\pi}{hT} + \frac{\alpha}{T}) \right] \quad (A.19)
 \end{aligned}$$

The ideal signal $A(t)$ generated by a DDS circuit, using a non-jittered clock, is described by the equation:

$$A(t) = \sum_{k=-\infty}^{\infty} \sin(k\alpha) \cdot \{\sigma[t-kT] - \sigma[t-(k+1)T]\} \quad (\text{A.20})$$

Where σ is the step function, T is the clock period and α is determined by the phase increment (N) and the bit resolution (n) of the DDS:

$$\alpha = \frac{2\pi \cdot N}{2^n} \quad (\text{A.21})$$

The equations A.9, A.10 and A.18 are used to calculate the Fourier transform of the $A(t)$ signal:

$$\begin{aligned} A(\omega) &= \int_{-\infty}^{\infty} \sum_{k=-\infty}^{\infty} \sin(k\alpha) \cdot \{\sigma(t-kT) - \sigma[t-(k+1)T]\} \cdot e^{-j\omega t} dt \\ &= \sum_{k=-\infty}^{\infty} \sin(k\alpha) \cdot \int_{-\infty}^{\infty} \{\sigma(t-kT) - \sigma[t-kT-T]\} \cdot e^{-j\omega t} dt = \sum_{k=-\infty}^{\infty} \sin(k\alpha) \cdot \int_{kT}^{kT+T} e^{-j\omega t} dt \\ &= \sum_{k=-\infty}^{\infty} \sin(k\alpha) \cdot \frac{-1}{j\omega} \cdot e^{-jk\omega T} \cdot (e^{-j\omega T} - 1) = \frac{(1 - e^{-j\omega T})}{j\omega} \sum_{k=-\infty}^{\infty} \sin(k\alpha) e^{-jk\omega T} \\ &= e^{-j\frac{\omega T}{2}} \cdot \frac{2 \sin(\frac{\omega T}{2})}{\omega} \sum_{k=-\infty}^{\infty} \sin(k\alpha) e^{-jk\omega T} \\ &= e^{-j\frac{\omega T}{2}} \cdot \frac{2 \sin(\frac{\omega T}{2})}{\omega} \cdot \frac{-j\pi}{T} \cdot \sum_{k=-\infty}^{\infty} \left[\delta(\omega - k \cdot \frac{2\pi}{T} - \frac{\alpha}{T}) - \delta(\omega - k \cdot \frac{2\pi}{T} + \frac{\alpha}{T}) \right] \end{aligned}$$

The spectrum of the $A(t)$ signal will be given by :

$$A(\omega) = e^{-j\frac{\omega T}{2}} \cdot \text{sinc}(\frac{\omega T}{2}) \cdot (-j\pi) \cdot \sum_{k=-\infty}^{\infty} \left[\delta(\omega - k \cdot \frac{2\pi}{T} - \frac{\alpha}{T}) - \delta(\omega - k \cdot \frac{2\pi}{T} + \frac{\alpha}{T}) \right] \quad (\text{A.22})$$

In this spectrum the fundamental is described by a sine wave:

$$F_{[a_1 \sin \frac{\alpha}{T}(t-d)]} = e^{-j\frac{\alpha}{2}} \cdot \text{sinc}(\frac{\alpha}{2}) \{ -j\pi [\delta(\omega - \frac{\alpha}{T}) - \delta(\omega + \frac{\alpha}{T})] \}$$

(A.23)

Where: $a_1 = \text{sinc} \frac{\alpha}{2}$ and $d = \frac{T}{2}$

The signal generated by a DDS circuit subject to a jittered clock will be:

$$A_g(t) = \sum_{q=-\infty}^{\infty} \sin(q\alpha) \cdot \{ \sigma[t-qT-g(q)] - \sigma[t-(q+1)T-g(q+1)] \}$$

(A.24)

The clock jitter, $g(q)$, is a function expressing the time differences between transitions of the real clock and the transitions of a non-jittered ideal clock, as shown in Fig. A.6.

The $g(q)$ can be a periodic function described by an equation such as:

$$g(q) = g(q+h) \quad \text{- periodic, period } h$$

(A.25)

We can re-write $A_g(t)$, from equation (A.24), according to the periodic jitter, $g(q) = g(q+h)$, and we obtain:

$$A_{gp}(t) = \sum_{k=-\infty}^{\infty} \sum_{p=0}^{h-1} \sin[(hk+p)\alpha] \cdot \{ \sigma[t-(hk+p)T-g(p)] - \sigma[t-(hk+p+1)T-g(p+1)] \}$$

(A.26)

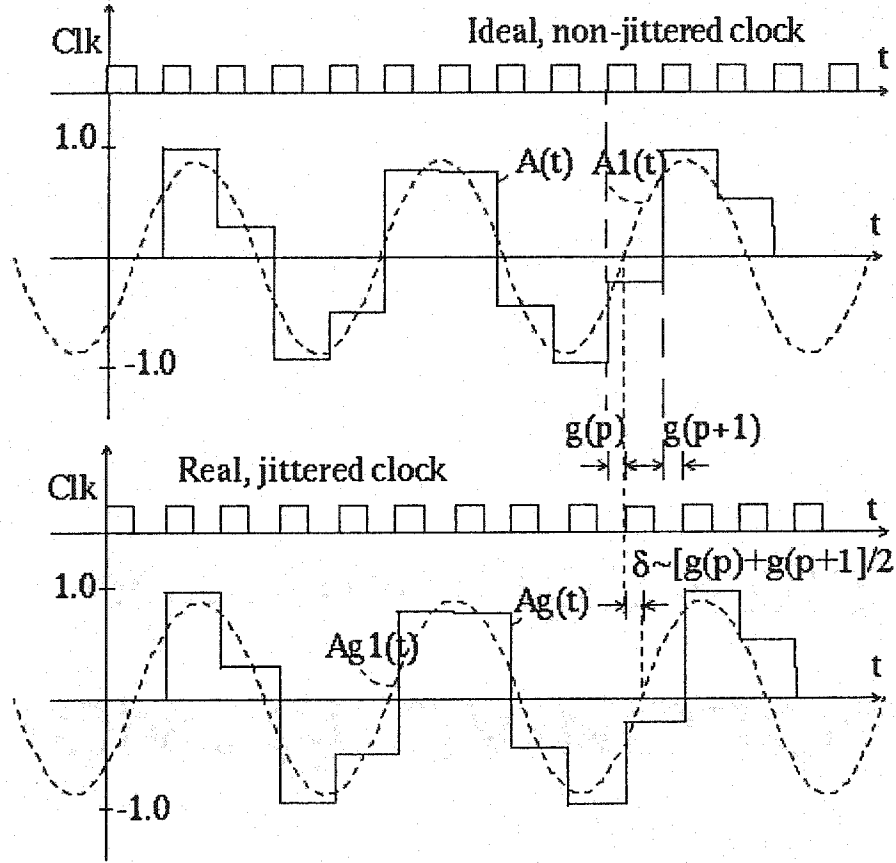


Fig. A.6 The input clock jitter contribution.

The Fourier transform of this signal is given by:

$$A_{gp}(\omega) = \int_{-\infty}^{\infty} \sum_{k=-\infty}^{\infty} \sum_{p=0}^{h-1} \sin[(hk + p)\alpha] \cdot \{\sigma[t - (hk + p)T - g(p)] - \sigma[t - (hk + p + 1)T - g(p + 1)]\} \cdot e^{-j\omega t} dt \quad (\text{A.27})$$

By using the equations A.9, A.10 and A.19 we can rearrange the terms to obtain:

$$\begin{aligned}
A_{gp}(\omega) &= \int_{-\infty}^{\infty} e^{-j\omega t} \sum_{k=-\infty}^{\infty} \sum_{p=0}^{h-1} \sin[(hk+p)\alpha] \cdot \{\sigma[t-(hk+p)T-g(p)] - \\
&\quad \sigma[t-(hk+p+1)T-g(p+1)]\} dt \\
&= \sum_{p=0}^{h-1} \sum_{k=-\infty}^{\infty} \sin[(hk+p)\alpha] \int_{-\infty}^{\infty} e^{-j\omega t} \{\sigma[t-(hk+p)T-g(p)] - \\
&\quad \sigma[t-(hk+p+1)T-g(p+1)]\} dt \\
&= \sum_{p=0}^{h-1} \sum_{k=-\infty}^{\infty} \sin[(hk+p)\alpha] \int_{(hk+p)T+g(p)}^{(hk+p+1)T+g(p+1)} e^{-j\omega t} dt \\
&= \sum_{p=0}^{h-1} \sum_{k=-\infty}^{\infty} \sin[(hk+p)\alpha] \cdot \frac{1}{-j\omega} \cdot e^{-j\omega t} \Big|_{(hk+p)T+g(p)}^{(hk+p+1)T+g(p+1)} \\
&= \sum_{p=0}^{h-1} \sum_{k=-\infty}^{\infty} \frac{1}{-j\omega} \sin[(hk+p)\alpha] \cdot e^{-j(hk+p)\omega T} \cdot \{e^{-j\omega[T+g(p+1)]} - e^{-j\omega g(p)}\} \\
&= \sum_{p=0}^{h-1} \frac{1}{-j\omega} \{e^{-j\omega[T+g(p+1)]} - e^{-j\omega g(p)}\} \sum_{k=-\infty}^{\infty} \sin[(hk+p)\alpha] \cdot e^{-j(hk+p)\omega T}
\end{aligned} \tag{A.28}$$

Now, by using the equations A.10 and A.19 we obtain:

$$\begin{aligned}
A_{gp}(\omega) &= \sum_{p=0}^{h-1} \left\langle e^{-j\frac{\omega[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{\frac{\omega}{2}[T+g(p+1)-g(p)]\right\}}{\omega} \right. \\
&\quad \cdot \frac{-j\pi}{hT} \sum_{k=-\infty}^{\infty} \left[e^{-j\cdot p(\omega-\frac{\alpha}{T})\cdot T} \delta(\omega-k\cdot\frac{2\pi}{hT}-\frac{\alpha}{T}) - e^{-j\cdot p(\omega+\frac{\alpha}{T})\cdot T} \delta(\omega-k\cdot\frac{2\pi}{hT}+\frac{\alpha}{T}) \right] \Big\rangle
\end{aligned} \tag{A.29}$$

A comparison between equation A.29 and equation A.22 reveals that the signal produced by using a jittered clock have harmonics at frequencies determined by the jitter frequency, $(hT)^{-1}$. If the input clock jitter is small, the summation of those components

for all the p values reduces their amplitude. For a non-jittered input clock, $g(p)=g(p+1)=0$, $h=1$ and $p=0$ all times, we find again the spectrum from equation A.22.

In the spectrum described by equation A.29, we are interested in the mathematical expression of the fundamental. This fundamental is described by:

$$A_{1gp}(\omega) = \sum_{p=0}^{h-1} e^{-j\frac{\omega[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{\frac{\omega}{2}[T+g(p+1)-g(p+1)]\right\}}{\omega h T} \cdot (-j\pi) \cdot \left[e^{-jp(\omega - \frac{\alpha}{T})T} \delta\left(\omega - \frac{\alpha}{T}\right) - e^{-jp(\omega + \frac{\alpha}{T})T} \delta\left(\omega + \frac{\alpha}{T}\right) \right] \quad (\text{A.30})$$

By using the equations A.9 and A.13 and A.15 we find the expression of the fundamental in the time domain:

$$A_{1gp}(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} e^{j\omega t} \sum_{p=0}^{h-1} e^{-j\frac{\omega[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{\frac{\omega}{2}[T+g(p+1)-g(p+1)]\right\}}{\omega h T} \cdot (-j\pi) \cdot \left[e^{-j \cdot p(\omega - \frac{\alpha}{T}) \cdot T} \delta\left(\omega - \frac{\alpha}{T}\right) - e^{-j \cdot p(\omega + \frac{\alpha}{T}) \cdot T} \delta\left(\omega + \frac{\alpha}{T}\right) \right] d\omega$$

$$\begin{aligned}
A_{1gp}(t) = & \frac{-j}{2} \left\{ \left\langle \int_{-\infty}^{\infty} e^{j\frac{\alpha}{T}t} \sum_{p=0}^{h-1} e^{-j\frac{\frac{\alpha}{T}[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{\frac{\alpha}{2T}[T-g(p)+g(p+1)]\right\}}{\frac{\alpha}{T}hT} \right. \right. \\
& \cdot \left[e^{-j \cdot p \left(\frac{\alpha}{T} - \frac{\alpha}{T}\right) \cdot T} \delta\left(\omega - \frac{\alpha}{T}\right) \right] d\omega \left. \right\rangle - \\
& \left\langle \int_{-\infty}^{\infty} e^{-j\frac{\alpha}{T}t} \sum_{p=0}^{h-1} e^{-j\frac{-\frac{\alpha}{T}[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{-\frac{\alpha}{2T}[T-g(p)+g(p+1)]\right\}}{-\frac{\alpha}{T}hT} \right. \\
& \cdot \left[e^{-j \cdot p \left(-\frac{\alpha}{T} + \frac{\alpha}{T}\right) \cdot T} \delta\left(\omega + \frac{\alpha}{T}\right) \right] d\omega \left. \right\rangle \Bigg\} \\
A_{1gp}(t) = & \frac{-j}{2} \left\{ \left\langle e^{j\frac{\alpha}{T}t} \sum_{p=0}^{h-1} e^{-j\frac{\frac{\alpha}{T}[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{\frac{\alpha}{2T}[T-g(p)+g(p+1)]\right\}}{\frac{\alpha}{T}hT} \right. \right. \\
& \cdot \int_{-\infty}^{\infty} \delta\left(\omega - \frac{\alpha}{T}\right) d\omega \left. \right\rangle - \\
& \left\langle e^{-j\frac{\alpha}{T}t} \sum_{p=0}^{h-1} e^{-j\frac{-\frac{\alpha}{T}[T+g(p)+g(p+1)]}{2}} \cdot \frac{2 \sin\left\{-\frac{\alpha}{2T}[T-g(p)+g(p+1)]\right\}}{-\frac{\alpha}{T}hT} \right. \\
& \cdot \int_{-\infty}^{\infty} \delta\left(\omega + \frac{\alpha}{T}\right) d\omega \left. \right\rangle \Bigg\}
\end{aligned}$$

$$\begin{aligned}
A_{1gp}(t) &= \sum_{p=0}^{h-1} \frac{2 \sin \left\{ \frac{\alpha}{2T} [T - g(p) + g(p+1)] \right\}}{\frac{\alpha}{T} hT} \\
&\cdot \frac{-j}{2} \left\{ e^{j \frac{\alpha}{T} t} \cdot e^{-j \frac{\frac{\alpha}{T} [T + g(p) + g(p+1)]}{2}} - e^{-j \frac{\alpha}{T} t} \cdot e^{j \frac{\frac{\alpha}{T} [T + g(p) + g(p+1)]}{2}} \right\} = \\
&= \sum_{p=0}^{h-1} \frac{2 \sin \left\{ \frac{\alpha}{2T} [T - g(p) + g(p+1)] \right\}}{\frac{\alpha}{T} hT} \cdot \sin \left\{ \frac{\alpha}{T} \left[t - \frac{T + g(p) + g(p+1)}{2} \right] \right\}
\end{aligned}$$

The fundamental produced by a DDS in presence of input clock jitter is described by the equation A.31:

$$A_{1gp}(t) = \sum_{p=0}^{h-1} \frac{2 \sin \left\{ \frac{\alpha}{2T} [T - g(p) + g(p+1)] \right\}}{\frac{\alpha}{T} hT} \cdot \sin \left\{ \frac{\alpha}{T} \left[t - \frac{T + g(p) + g(p+1)}{2} \right] \right\} \quad (\text{A.31})$$

Comparing Eq. A.31 with Eq. A.12, we find that the amplitudes as well as the phases of the produced sine waves differ. The equation A.31 describes the fundamental of the signal produced by a DDS circuit using a jittered clock. We could notice that the transitions through zero of this fundamental are different than those described by Eq. A.12, but with no more than the value of the maximum jitter. However, that time difference remains constant in time and does not cause jitter.

The input clock jitter produces harmonics in the DDS spectrum at frequencies determined by the jitter frequency, $(hT)^{-1}$. These harmonics could pass through the filter (F) and could generate an error level ϵ , which will produce jitter. An analysis of the jitter produced by those harmonics for different cases of periodic input clock jitter remains the subject of future investigations. A conclusion on the effect of the input clock jitter was obtained by Jenq [16] who states that the signal to noise ratio (SNR) of the output of a DDS is better than the SNR of the input signal used as clock.

B. Resolution of the Phase Accumulator

As stated in equation (A.1), in a classical DDS, a n-bit phase accumulator can only generate frequencies of the form:

$$f_a = \frac{N}{2^n} \cdot f_{Clk}$$

In typical DTV applications of DDS circuits, we need to generate frequencies according to an arbitrary rational ratio. In general, such an arbitrary ratio:

$$f_a = \frac{N1}{N2} \cdot f_{Clk} \tag{A.32}$$

does not respect equation (A.1). The values of N1 and N2 are defined by the DTV standards. Since N2 is not a power of 2, there is an approximation problem expressed by equation (A.33):

$$\frac{N}{2^n} \approx \frac{N1}{N2} \quad (\text{A.33})$$

In fact, we will generate a frequency slightly different from the desired frequency. Since the two periods, the needed one and the achieved one, are not equal, we have a phase shift that increases with time. This phase shift can be considered a form of jitter, and its value could tend towards infinity over an arbitrary long time period.

Note that for a regular phase accumulator, according to Eq. (A.1), the accumulated phase will become zero at each 2^n -th period of the input clock, counted from the reset moment. This observation can be extended to a phase accumulator generating frequencies with arbitrary divide ratios - expressed by Eq. (A.32) - by saying that its content should be zero at each $N2$ -th period of the input clock.

In order to limit the amplitude of the phase shift previously described, we could reset the phase accumulator after $N2$ clock periods, when its content should be zero according to the exact target frequency, as shown in Fig. A.7.

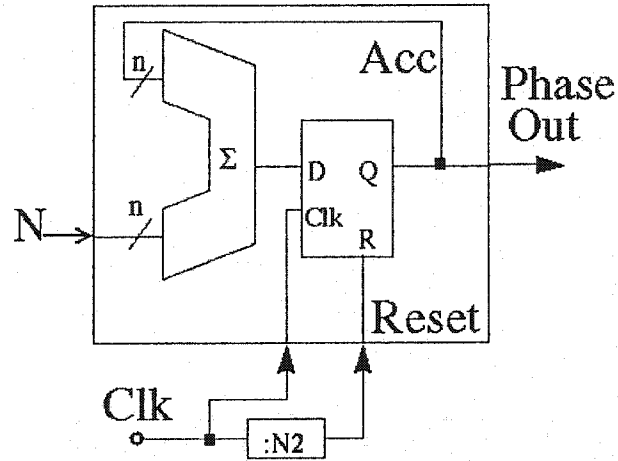


Fig. A.7 – The phase accumulator limited resolution contribution.

By using this technique, the phase shift will be bounded. To evaluate the corresponding jitter, we have to estimate the time error over a period of the input clock, and to multiply this with the number of input clock periods between two consecutive corrections. The time error over a period could take any value between zero and $T/2^n$, for an arbitrary divide ratio. The number of input clock periods between two corrections is $N2$.

The corresponding jitter is then expressed by the following equation:

$$J_R = \frac{N2 \cdot T}{2^n} \quad (\text{A.34})$$

From this expression we observe that 2^n should be greater than $N2$ in order to have a jitter smaller than the input clock period.

Another important observation is that this jitter is particularly harmful, because it is a low-band jitter, which has a period of repetition given by T times $N2$. This low frequency

jitter is difficult to control, since a classical PLL could not eliminate it. With the basic DDS structure, the designer must increase the bit-resolution of the phase accumulator in order to reduce this jitter contribution to an acceptable level. A designer should thus respect the following equation:

$$n \geq \log_2\left(\frac{N2 \cdot T}{J_R}\right) \quad (\text{A.35})$$

For example, to achieve a 100ps low-band jitter, with a 35.46895 MHz video-clock frequency and $N2=709379$, we need a 28 bit phase accumulator.

C. Bit resolution of the LUT.

For a given divide ratio, we can calculate precisely the jitter contribution due to the truncation of the accumulated phase at the LUT input. However, for every divide ratio, the calculation would yield a different result. Therefore, it is easier and more useful in practice to find the upper limit of the jitter contribution for a given size of the LUT input.

The proposed analysis first considers the ideal case where we would use an infinite resolution phase accumulator and an infinite size LUT. In this case, the phase (ϕ) presented at the LUT input is a binary word with an infinite resolution which contributes no error. The LUT converts this phase into an infinite resolution digital word corresponding to the value of the phase, $\sin(\phi)$. This value would also have a zero error.

In a real case, even if we use a very large phase accumulator, we must usually truncate its output phase for the LUT to be feasible. Usually, the LUT is implemented using a Read Only Memory, called in some papers a sine ROM or ROM, whose complexity grows as an exponential of the input bit resolution. However, in some cases, using a finite dimension phase accumulator does not generate jitter, if the desired divide ratio exactly follows Eq. (A.1), but any truncation of the accumulated phase at the LUT input produces jitter.

Suppose now that we truncate the input of the LUT, while its output has an infinite bit-resolution. In this case the truncated input to the LUT would produce a phase error, ϕ_m and the LUT would convert the truncated $\phi - \phi_m$ phase into its sine value $\sin(\phi - \phi_m)$. Even an infinite bit-resolution DAC would convert this phase into $\sin(\phi - \phi_m)$ instead of $\sin(\phi)$. The difference between $\sin(\phi)$ and $\sin(\phi - \phi_m)$ is an error voltage, which in the worst case could pass through the filter and contribute to the output jitter. At the zero crossing moments, i.e. when $\phi=0$, if ϕ_m is small, this difference could be rewritten as follows:

$$\mathcal{E}_m = \sin(\phi) - \sin(\phi - \phi_m) \approx \phi_m \quad (\text{A.36})$$

Thus the error associated with the truncation of the accumulated phase at the input of the LUT is a phase error which is bounded by :

$$\phi_m = 2^{-m} \quad (\text{A.37})$$

where m is the input bit-resolution to the LUT.

By using (A.8), (A.36) and (A.37) we can determine the contribution of the LUT to the output jitter:

$$J_k = \frac{\varepsilon_m \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} = \frac{2^{-m} \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} \quad (\text{A.38})$$

The effect of a limited bit-resolution at the output of the LUT will be discussed with the limited resolution of the DAC. Indeed, a LUT output width different from that of the DAC input is useless, and these resolutions should be matched, otherwise part of the DAC or part of the LUT is wasted.

D. Bit resolution of the DAC.

The limited bit resolution of the DAC can be viewed as adding a parasitic signal very much like the limited resolution of the LUT. The component of this parasitic signal due to the limited input resolution has a maximum amplitude of $\frac{1}{2}$ LSB. Assuming the design of the DAC is fully centered to produce its nominal expected output on average, it may also have a limited accuracy related to process variations and to the speed of operation. These contributions, which are considered in Section E. are not modeled in this section.

In the worst case, this signal could have a frequency that pass through the filter, and the error associated with the DAC input resolution is:

$$\mathcal{E}_d = 2^{-d-1} \quad (\text{A.39})$$

This error source leads to a jitter contribution of:

$$J_d = \frac{\varepsilon_d \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} = \frac{2^{-d-1} \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} \quad (\text{A.40})$$

As mentioned before, the LUT output width should be matched with the DAC input width. Therefore, in order to arrive to a balanced design, where the LUT and the DAC limited dimensions produce the same jitter on the output signal, considering the symmetry of the sine function, the LUT input width should be one bit greater than the DAC input width. This is valid if the LUT is able to convert, without error, its input argument into a sine signal on output. This is not the case for some CORDIC algorithms, which have to use an input argument a few bits larger than the output sine. Note that since LUTs are easier to build than DACs, it is a common practice to use a LUT comprising two input bits more than the DAC resolution.

We can calculate a jitter due to the combined limited input resolutions of the LUT and the DAC. If we write:

$$m = d + 1 = l \quad (\text{A.41})$$

In this case, assuming equal contributions of the two jitter sources:

$$J_l = J_m + J_d = \frac{2^{-d-1} \cdot T + 2^{-m} \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} = \frac{2^{-d} \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} = \frac{\varepsilon_l \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} \quad (\text{A.42})$$

The combined net jitter contribution in a balanced designed is equivalent to assuming a net error amplitude of 1 DAC LSB.

A more useful relation in the design process is obtained by rearranging Eq. (A.42) to obtain Eq. (A.43). It expresses the target error level contributed by the combination of the DAC and the LUT for a given output jitter contribution.

$$\varepsilon_l = J_l \cdot 2 \cdot f_{Clk} \cdot \sin(\pi \cdot \frac{fa}{f_{Clk}}) \quad (\text{A.43})$$

For example, with a 27 MHz video clock used to generate a 4.096 MHz audio clock, according to the Eq. (A.43), to achieve a 200ps jitter contribution from the LUT and DAC combined, the error level associated with the DAC limited resolution should be 0.495%, which corresponds to an 8 bit DAC and a 9 bit LUT.

E. The accuracy of the DAC.

1) DAC frequency limit

The DACs have a frequency limit determined by the transition time between two different values. During transitions, DAC outputs can exhibit short transitions to values which are neither the original value nor the target value approximating a desired signal, and the DAC recovers to its successive target values at a speed limited by its bandwidth.

The difference between the real signal and the ideal signal is analogous to a series of noise glitches. They provide additional harmonics to the spectrum, as shown in Fig. A.8.

The glitches could give additional harmonics on the DDS output signal, and we must be sure that the filter could cut those harmonics and their combinations with the standard harmonics of the DDS. As a consequence, we must ensure that the duration of each glitch is at least 4 times smaller than the clock period, to ensure that a feasible filter could eliminate the frequency components generated by those glitches.

For example, in the case of DTV, the video clock frequency can be 36 MHz. If a DDS is used to produce this frequency, the glitches duration should be shorter than 6.9ns.

2) DAC Non-linearity

It is difficult to find the exact jitter contribution of a given DAC non-linearity. In addition, this contribution will depend on the divide ratio and filter characteristics, and will be subject to process variations. Thus, it is easier to determine their worst-case contribution, which can be modeled as a reduction of its effective resolution. Sometimes, some DAC non-linearity can be accepted to reduce complexity. The designers may obtain

a DAC with a known or fully characterized (measured for example) non-linearity. In this case, the non-linearity can be compensated in the LUT.

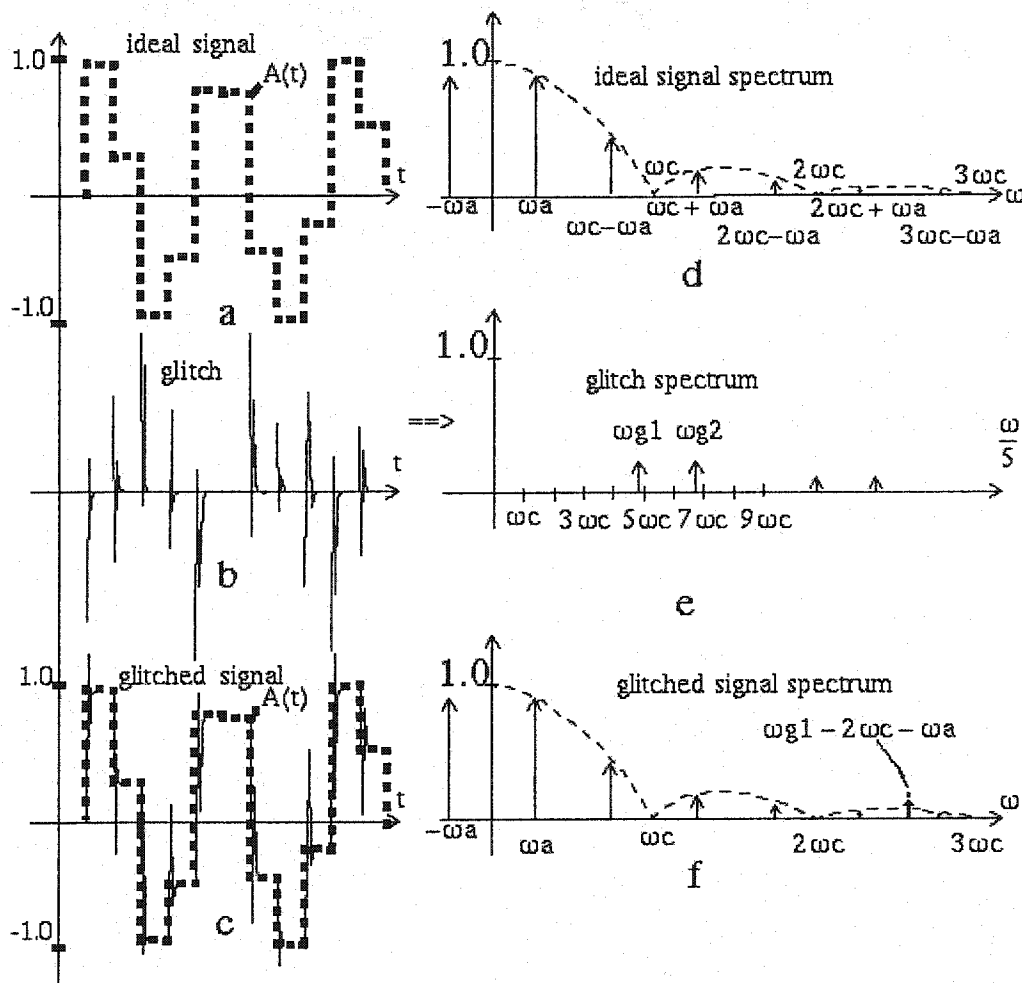


Fig. A.8 DAC frequency limit contribution:

- a) Signal produced by an ideal DAC, b) glitches produced by a real DAC, c) signal produced by a real DAC, d) spectrum of signal produced by an ideal DAC, e) spectrum produced by the glitches, f) spectrum of the real signal**

F. Filter Characteristics.

As we have seen, the DDS uses a filter to cut the undesired frequency components of the spectrum, in order to obtain the desired sine signal at the comparator input. While the digital part of the DDS, the phase accumulator and the look-up table, do not cause difficult design problems, the DAC and the filter remain difficult to design. However, a simple DAC circuit which uses cascode current mirrors and switches can be used to implement the DAC, and the filter remains the most difficult part to design.

Designers have several options in choosing a filter configuration, such as an external RLC filter, an on-chip active or passive RC filter or an on-chip switched capacitors filter. The trend towards increased levels of integration makes an off-chip filter less desirable. Among the options for on-chip filters, a switched capacitor filter is problematic, because it tends to introduce glitches due to clock feedthrough, we thus favor a combination of active and passive RC filters.

An ideal filter cuts all the undesired frequencies. By contrast, feasible filters will only reduce the undesired frequency components. Those components, as shown in Fig. A.9, will give an associated error signal, which will induce a jitter on the output signal. The associated error signal is the cumulative of all the attenuated frequency components found at the filter output.

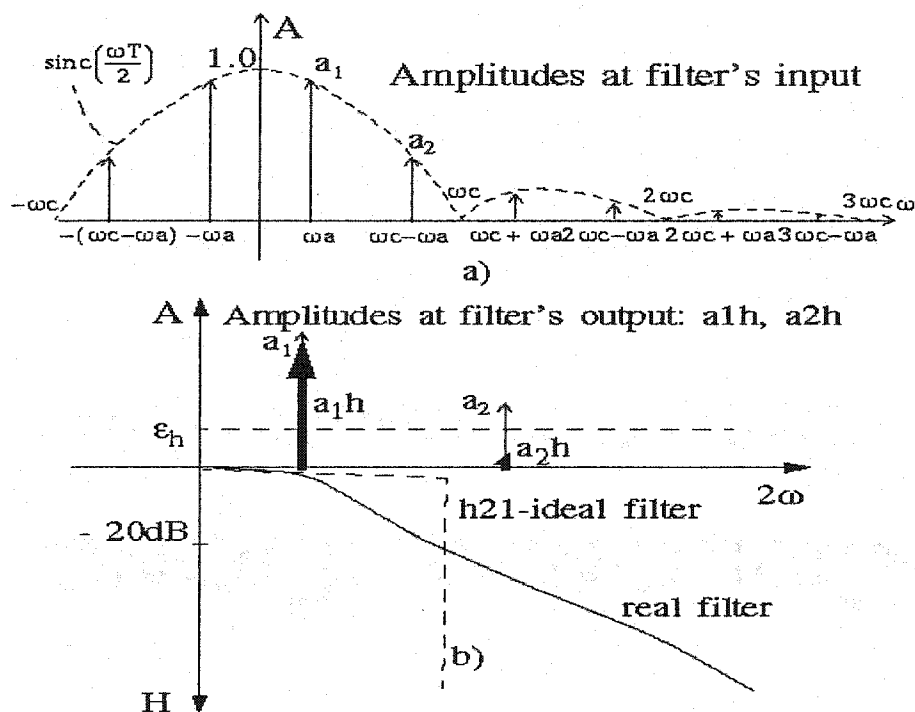


Fig. A.9 Filter characteristics contribution:

a) amplitudes of DDS spectrum at filter's input, and b) at filter's output

Clearly, with a Butherworth or a Chebyshev filter, the second frequency component is the most difficult to filter, while all the other frequency components could be neglected in first approximation. However, if we use an inverse Chebyshev or an elliptic filter, we must consider the higher frequency components, which could be significant.

A minimum attenuation of the second component is necessary to obtain an acceptable error amplitude ϵ_h .

Based on Fig. A.9b, the characteristics of the required filter must satisfy the relation:

$$\varepsilon_h = \frac{a_2 h}{a_1 h} = \frac{1}{h_{21}} \cdot \frac{a_2}{a_1} \quad (\text{A.44})$$

Where a_{1h} and a_{2h} are the amplitudes of the first and second components of the spectrum at the filter's output, and a_1 and a_2 are the same amplitudes at the filter's input.

By using equations (A.5) and (A.6), we obtain:

$$\varepsilon_h = \frac{1}{h_{21}} \cdot \frac{\text{sinc}\left(\frac{\omega_c - \omega_a}{2} \cdot T\right)}{\text{sinc}\left(\frac{\omega_a \cdot T}{2}\right)} \quad (\text{A.45})$$

We can use this equation to determine the filtering requirements to achieve some predefined maximum jitter. By imposing an acceptable jitter contribution due to the DDS filter characteristics, and by using equation (A.8), we can determine an acceptable error level, ε_h , and the minimum attenuation between the fundamental and the second component of the spectrum, h_{21} , needed to achieve that error level:

$$h_{21} = \frac{\text{sinc}\left(\frac{\omega_c - \omega_a}{2} \cdot T\right)}{J_h \cdot 2f_{Clk} \cdot \text{sinc}\left(\frac{\omega_a \cdot T}{2}\right) \cdot \text{sinc}\left(\frac{\omega_a \cdot T}{2}\right)} \quad (\text{A.46})$$

For example, to achieve a 300ps jitter contribution due to the filter characteristics, in the case of the DDS used to generate a 6.144MHz clock using a 27MHz video clock, a filter that attenuates the second component of the DDS spectrum 27.74 times is required, which corresponds to an attenuation of 28.85dB.

G. Accuracy of the Comparator.

Any comparator offset also gives an error that produces a phase shift. If the comparator offset remains constant in time, the phase shift is constant and its jitter contribution can be ignored. A specific analysis of the comparator imperfections is not needed, because these imperfections have an effect similar to the noise that was discussed in the beginning of section 2. However, power supply fluctuations can induce a considerable jitter if the comparator has a small power supply rejection ratio. Therefore, a careful design of the comparator is needed to reduce this effect.

III. DDS Output Jitter

The noise theory suggests that the combination of the jitter sources of a DDS could be regarded as random variables. In that case, independent sources would combine according to Eq. (A.47):

$$\xi_{out}^2 = \xi_1^2 + \xi_2^2 + \dots + \xi_k^2 \quad (\text{A.47})$$

where ξ_{out} is the root mean square jitter of the output, and $\xi_1, \xi_2, \dots, \xi_k$ are the root mean square jitter of each independent random jitter source.

According to statistics theory, the typical peak-to-peak value of the output jitter would be:

$$J_{out} = 6 \cdot \xi_{out} \quad (A.48)$$

which means that, in the case of a normal distribution, from 1000 samples of the output jitter, only 2.6 samples on average would be greater than the J_{out} predicted by Eq. (A.48).

Eq. (A.47) and (A.48) are representative of reality if jitter sources are uncorrelated. However, we cannot guarantee that the components considered previously are uncorrelated.

At the same time, we are interested by the jitter accumulated over a large period of time, the low-band jitter. While the frequency of the output signal is between 4.096-6.144MHz and the low-band jitter has a frequency as low as 10Hz, in one period of the low-band jitter, we have more than 10^5 samples of the output jitter produced by the discussed jitter sources. Therefore we have a high probability that the output jitter will be produced by the worst-case combination of the jitter sources.

For example, due to the nature of the problem where large numbers express the divide ratio between the input clock frequency and the output clock frequency, the phase accumulator limited resolution provides a jitter contribution around 100ps for a 28-bit

phase accumulator. The frequency components of this jitter can be found from 50-500Hz to 10-100kHz.

The limited resolutions of the LUT and DAC produce a jitter contribution related to a truncation of the phase accumulator output. The frequency content of this jitter component can be from 10-100kHz up to 2MHz for the generation of video frequencies. If two jitter components have a different repetition frequency, they eventually combine to produce a worst jitter that is the sum of their independent contributions, unless these respective frequencies are exact multiples, which would be a peculiar situation.

In the considered video clock generation example, the filter jitter contribution produced by the remaining parts of the higher harmonics has frequency components around 1-6MHz. Again these harmonics have no clear predictable phase and frequency relationship with the other jitter sources, and their worst cases can add up.

Based on these considerations, the authors propose a simple summation model:

$$J_{out} = J_A + J_B + \dots + J_G \quad (\text{A.49})$$

where J_{out} is the peak-to-peak jitter of the output, and J_1, J_2, \dots, J_k are the peak-to-peak jitter of each jitter source. This simple summation model provides a robust bound on the worst jitter. It is expected to predict a jitter slightly larger than the true jitter.

Note that this simple summation model is easier to use in the design optimization process than the model given by the Eq (A.47). At the same time, in the optimization process, we have to ensure that the maximum value of the peak-to-peak output jitter does not exceed a limit value imposed by the circuit specifications. The fact that the simple summation model predicts a value slightly larger than the achieved one will guarantee that the output jitter remains in its bounds, while the square root model does not.

Therefore, the authors recommend the use the simple summation model in order to make optimal choices in the design process.

IV. DDS Design steps

A common practice when using a clock to synchronize a signal is to accept no more than 20% jitter. Based on that rule, if the target frequency is 6.144 MHz, the maximum acceptable output clock jitter would be 32.5ns peak-to-peak. Similarly, a 36MHz video clock will require a jitter about 5.5ns peak-to-peak. While obtaining a 5.5ns peak-to-peak output jitter is not a problem, imposing the same constraint on the so-called low-band jitter (or long-time jitter) can be fairly stringent.

In order to achieve a high output clock stability with a DDS, the designer must consider a realistic noise or interference level inside the chip. Also, realistic input clock jitter and acceptable low-band output jitter must be determined. From these parameters, a designer can determine the available jitter margin, from which he can size the phase accumulator, as well as the DAC and LUT resolution, and the filter characteristics.

As discussed earlier, using Eq. (A.8), it was found that a 46 dB signal to noise ratio (SNR) gives a random jitter of 200ps. A typical input clock jitter due to a PLL used before the system is about 200ps. Using Eq. (A.34), a 28-bit phase accumulator produces a low-band jitter of about 100ps.

Now, according to Eq. (A.43), to achieve a 200ps LUT and DAC cumulative jitter contribution, an 8 bit DAC and a 9-bit LUT are required, and the DAC must have a set-up time of at most 6.9ns. To achieve a 300ps jitter contribution due to the filter characteristics, a filter that passes the 6.144MHz audio clock frequency and attenuates by at least 28.85dB the second component of the DDS spectrum present at 20.856MHz is required.

V. Experimental Results

A prototype direct digital synthesis circuit was designed on the basis of the proposed jitter control method. This circuit was fabricated with a 0.35- μm double-poly, triple-metal, n-well CMOS process from TSMC, provided through the services of the Canadian Microelectronics Corporation. This circuit comprises, a 9-bit LUT, an 8-bit DAC with 3ns set-up time, and a filter with 35 dB relative attenuation of the second frequency component. A modified phase accumulator equivalent to a 33-bit phase accumulator, which will be presented in a future paper, precisely controls the divide ratio between the output frequency and the input frequency generating a low-band jitter of 20ps peak-to-peak.

The circuit is suitable to generate audio clock frequencies from video clock frequencies with a maximum of 2ns peak-to-peak output jitter (low-band and period jitter). Fig. A.10 presents the layout of the implemented circuit. The DDS itself occupies an area of 0.55 mm^2 , whereas the total chip area, including the pads, is 1.70 mm^2 .

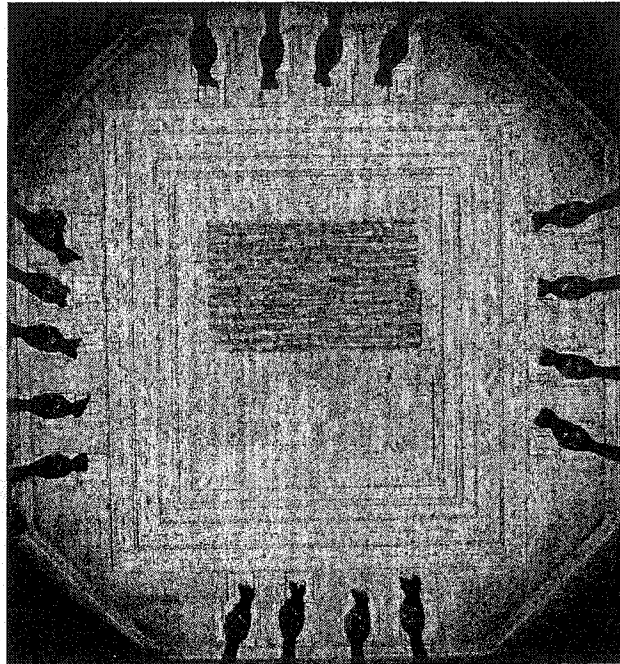


Fig. A.10 The Final Layout.

Prototype chips were tested with a HP 8753E Network Analyzer used as a clock generator, a FPGA used to provide the phase increment to the DDS, and a HP 54616B Oscilloscope to visualize the output waveform. Fig. A.11 presents the output signal of the DDS circuit, or more precisely, a set of sampled waveforms stored for a period of time longer than 1 minute.

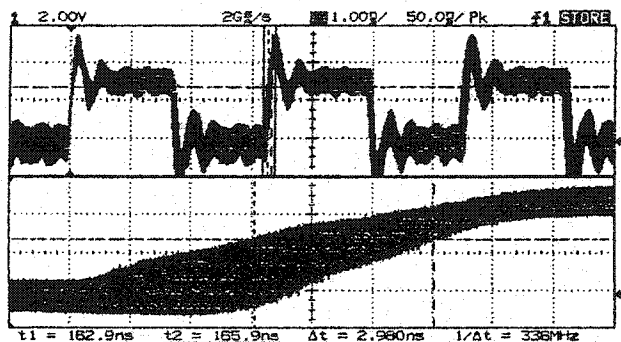


Fig. A.11a) Experimental results – one period jitter

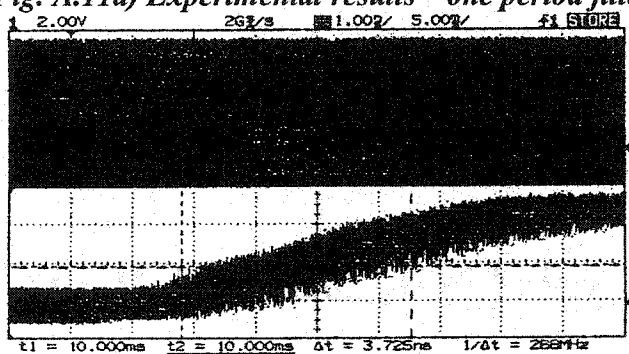


Fig. A.11b) Experimental results – low-band jitter

In the Fig. A.11a), the output signal transition is visualized in a window delayed by one period from the trigger moment. According to this figure, the width of the output signal transition is around 3-4ns, which yields to a one-period jitter of 3-4ns.

In Fig. A.11b) the black field on the top of the figure corresponds to a 50ms plot of the output signal, while on the bottom shows the output transition zoomed in a window delayed by 10ms from the trigger moment. It is remarkable that it has the same width as the transition visualized after one period of the output signal, i.e. about 3-4ns, which indicates that the circuit contributes a negligible additional low band jitter.

The power consumption was measured to be 20mW for a 36MHz input clock. The maximum input clock frequency is 80MHz, which makes the chip suitable for both DTV and HDTV applications.

Table A.2 shows a comparison between different DDS reported recently. These circuits are operated in the (50-200MHz) range of clock frequencies. Note that according to the data available, all the DDS presented in the table can meet the specifications of our target video application. However using the systematic design method presented in this paper, the proposed circuit requires the minimum design effort, the smallest area, and one of the smallest power consumptions, which makes it suitable for an on-chip system design, especially in a time-to-market constrained design.

	[33]	[37]	[38]	This work
Technology	0.8 μ m BiCmos	1 μ m CMOS	0.8 μ m CMOS	0.35 μ m CMOS
Clock frequency	110MHz	100MHz	30MHz	80MHz
LUT bit number	12 bits	19 bits	9 bits	9 bits
DAC bit number	10 bits	16 bits	8bits (No DAC)	8bits
Power	282 mW	1.4 W	9.5 mW	20 mW
Active Area	3.9mm ²	12mm ²	0.9 mm ²	0.55mm ²

Table A.2 Comparison between different DDS

VI. Conclusions

In this paper, an analysis of the error sources in a DDS circuit used as clock synthesizer was presented. The error sources were quantified by a set of analytic expressions that can be used to predict the maximal value of the jitter given by those sources. It was argued that a simple summation model is more appropriate to predict a bound on the worst-case jitter than a root mean square model, since the various error sources are not independent random variables. The predictions of the proposed model are very useful to make optimal choices in the design of a balanced DDS, in order to achieve the smallest design area that meets the expectations and with the minimum design effort.

A DDS circuit test chip suitable to generate audio clock frequencies from video clock frequencies, with a maximum output jitter of 2ns peak-to-peak, was designed and fabricated with a 0.35- μ m CMOS technology from TSMC, provided by the silicon foundry services of the Canadian Microelectronics Corporation. This circuit was tested and an output jitter of 3ns peak-to-peak was measured. Most of that jitter was due to a less than optimal design coupling the power supply noise to the output clock pin. The jitter contributions of the fully integrated DDS were measured to be about 1.5-2ns peak-to-peak, including the low-band jitter contribution. The circuit consumes 6mA from a 3.3V power supply, with a 36MHz input clock. Its maximum input clock frequency is 80MHz.

The measured performances of the designed DDS circuit make it suitable for DTV and HDTV on chip audio clock generation applications. Such an application is found in the design of ancillary data processors, which have to insert or extract audio data into the horizontal blanking intervals of video data streams.

Annexe B.

Cette annexe reproduit l'article :

D. Calbaza, Y. Savaria –“Direct digital frequency synthesis of low jitter clocks”

Proceedings of CICC'2000, Session 3, paper 2, Pp 31-34

Direct Digital Frequency Synthesis of Low-Jitter Clocks

Dorin Emil Calbaza, Yvon Savaria

Department of Electrical & Computer Engineering, École Polytechnique de Montréal,
Tel: +1-514-340-4711 ext.4737, Fax: +1-514-340-4063,
Email: calbaza@grm94.polymtl.ca, savaria@vlsi.polymtl.ca
P.O. Box 6079, Station Centre-ville, Montreal (Qc), Canada H3C 3A7

Abstract – *The development of communication systems in the past years has increased the necessity to synthesize very accurate clocks. For example, in Digital Television (DTV) an audio data stream must be inserted into a video data stream, which implies that we must synchronize the audio clock with the video clock. According to one digital audio standard [9], the audio clock frequency is 5,6448MHz, and with the PAL digital television standard [10], the video clock frequency is 35.46895MHz. In this case, the division ratio is 112896/709379. Other division ratios are required with other DTV standards such as NTSC, SECAM or HDTV, and with other digital audio standard frequencies.*

Direct Digital Synthesis (DDS) is a popular technique that can be used to derive the audio frequency from the video frequency used as clock. A critical component of a DDS is its phase accumulator, which controls the DDS output frequency. The limited number of bits in the phase accumulator reduces its precision and its ability to express divide ratios defined with large integers. This will produce a phase error that accumulates with

time to produce a low-band jitter in the output signal, which is particularly harmful when the output clock is used for synchronization purpose.

This paper reviews some circuits found in the literature, which could be used to reduce the phase error given by a phase accumulator, and it presents a new phase correction technique which can give better results in terms of jitter, and which simplify design and implementation of practical DDS circuits.

Index terms — Digital Television, Direct Digital Synthesis, Phase Accumulators, Frequency Synthesis.

I. Introduction

Direct digital synthesis (DDS) of clocks is used in communications when the main emphasis is on spectral properties, particularly the spectral purity of a signal depending on implementation constraints – bit resolution, linearity, clock accuracy etc. [1,11-27,33-35].

In the next section, we present a brief introduction to DDS in order to clarify some limitations of its basic architecture. For a more detailed introduction to DDS, the reader can consult references [1,11-27,33-35]. In reference [1], the authors have developed an original analysis of the jitter produced by a DDS, which predicts the value of the peak low frequency jitter. This value is particularly harmful in digital television, since it may induce periodic phase jumps.

Fig. B.1 presents the general structure of a DDS. It contains an Accumulator (ACC), a Look-Up-Table (LUT), a Digital to Analog Converter (DAC), a Filter (F), and a Comparator (C).

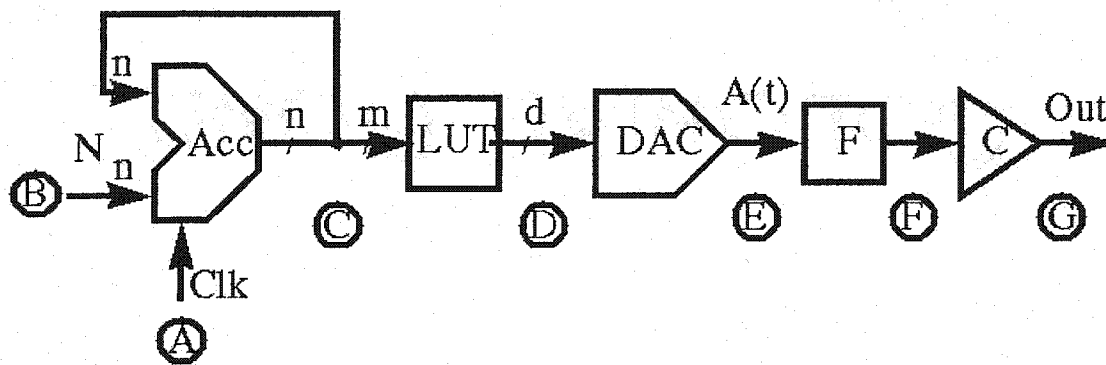


Fig. B.1 The general structure of a DDS circuit

At each period $T = 1/f_{CLK}$ of Clk clock, a DDS adds a digital number N to its cumulative phase. This number N is the numerical representation, with n bit resolution, of the phase increment Ph . Note that we have always $Ph < 1$.

The bit resolution of the phase accumulator is usually between 24 and 64, which gives a good precision. The output phase given by the Acc will be truncated to m bits in order to control the LUT, with m usually between 8 and 12. The output of the LUT will control a d bit DAC, with D between 7 and 10.

Fig. B.2 presents the timing diagram of the signal at the output of the DAC. The resulting signal, $A(t)$, approximates a sine signal at the same frequency as the desired signal. From $A(t)$, we can use a filter to cut the undesired frequency components, and a comparator to generate the desired output clock (Out).

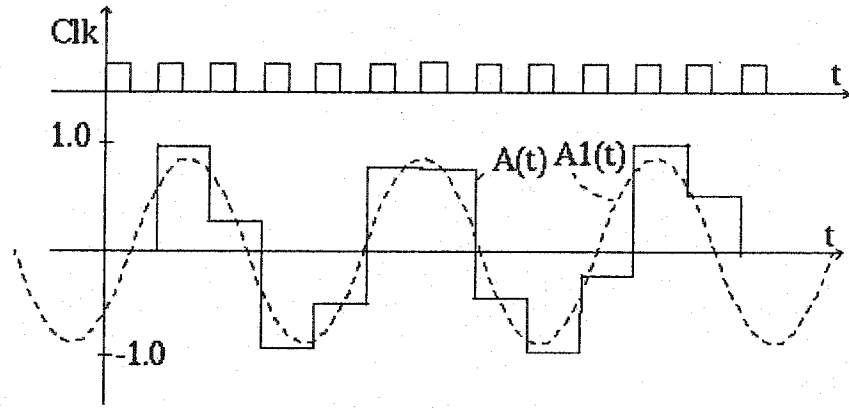


Fig. B.2 The timing diagram of the DDS signal

The output frequency (f_a) of this signal will be [11,13]:

$$f_a = f_{Clk} \cdot \frac{P}{2^n} = f_{Clk} \cdot Ph \quad (B.1)$$

The truncation to m bits of the n -bit words, provided by the phase accumulator to the LUT, gives a phase error $\phi\epsilon$. In this case, the DAC converts not to $\sin(\phi)$ value, but to $\sin(\phi - \phi\epsilon)$.

The error, ϵ_m , associated to the truncation is equal to the LSB of the LUT input. It can be shown that, for an optimum design, the resolution of the input argument to the Sine table should be 1 bit greater than the resolution of the DAC:

$$r = m = d + 1 \quad (B.2)$$

According to [1] the combined jitter contribution of the LUT and the DAC, gives a jitter of:

$$J_r = J_m + J_d = \frac{2^{-d} \cdot T}{2 \cdot \sin(\frac{\omega_a \cdot T}{2})} \quad (\text{B.3})$$

The desired signal at the output of the DAC is:

$$A_d(t) = \sin(\omega_a \cdot T) \quad (\text{B.4})$$

Where ω_a is the output pulsation. In fact, we will have the signal $A(t)$ represented in Fig. B.2 [14,27]. The spectrum of the signal generated by a DDS circuit is given by equation (B.5):

$$A(\omega) = e^{-j\omega T/2} \cdot \text{sinc}(\omega T/2) \cdot \sum_{n=-\infty}^{\infty} \delta\left(\omega - \left(n \frac{2\pi}{T} \pm \omega_a\right)\right) \quad (\text{B.5})$$

Where:

$e^{-j\omega T/2}$ - is the phase displacement of the output signal.

$\text{sinc}(\omega T/2)$ - is the envelope of the spectrum – the attenuated sine function, and

Σ - is a sum of Dirac Pulses that represent sine signals in the time domain.

Fig. B.3 illustrates this spectrum, $A(\omega)$.

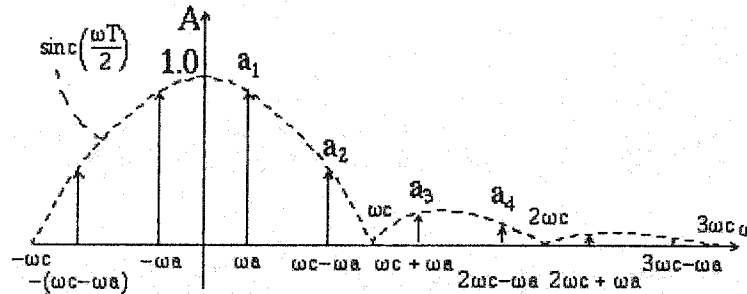


Fig. B.3 The DDS spectrum

In this spectrum, the most important component is the fundamental, which has the desired frequency. Its equation is:

$$A_1(t) = \text{sinc}\left(\frac{\omega_a \cdot T}{2}\right) \cdot \sin\left(\omega_a \cdot t - \frac{\omega_a \cdot T}{2}\right) = a_1 \cdot \sin(\omega_a \cdot t - \varphi_1) \quad (\text{B.6})$$

The rest of the harmonic components are undesired and must be filtered. The main challenge with a DDS is the resulting jitter, for which a complete analytic bound was proposed in [1].

The theoretical upper limit of the frequency that the Fig.B.1 structure can generate is $1/2 f_{\text{clk}}$. However, practical constraints associated with the filter F feasibility suggest the restriction of the range of generated frequencies to $1/3 f_{\text{clk}}$. Note that the clock frequency is limited by the maximum frequency of the slowest element in the design, which is usually the DAC or the LUT. According to [18] the maximum clock frequency that a DDS can produce is on the order of 125MHz. A fully integrated chip design can increase this frequency up to 200MHz with a 0.25 μm CMOS technology, but the filter constraints must be relaxed.

Equation (B.1) presents a major limitation given by the phase accumulator. A regular DDS is unable to generate frequencies with divide ratios expressed by rational numbers where the denominator is not expressible as 2^n . In practice, many applications require exact divide ratios given by the equation:

$$R = \frac{N}{M} \quad (B.7)$$

where N and M are any natural numbers.

With a convention DDS, the phase accumulator will not generate the exact divide ratio ($R=N/M$), but an approximation of the form ($R'=P/2^n$). The accuracy of the output frequency depends on the magnitude of the bit resolution of the phase accumulator.

While the output frequency cannot be expressed precisely, at each period of Clk clock, we will add a phase error corresponding to the difference between the desired output period and the period determined by Eq. (B.1). This phase error accumulates in time and can reach infinity, unless some corrections are made.

An important observation should be made here: an infinite bit resolution phase accumulator can give a zero jitter contribution, but any attempt at truncating its output phase to m bits gives a jitter contribution expressed by (B.2). Thus, as the bit resolution increases to infinity, the frequency error and the cumulative phase error decrease to zero. The combination of an almost zero cumulative phase error and an infinite time gives an undetermined result. In practice, no system works for infinite time and a large enough bit resolution could make the cumulative phase error approach zero.

Therefore, if a finite resolution phase accumulator leads to the same LUT output as an infinite resolution phase accumulator, then they both have a zero jitter contribution. We will call this case an ideal phase accumulator.

The combined jitter contributions of an ideal phase accumulator, a LUT and a DAC, leads to a total jitter expressed by Eq. (B.3). The time behavior of this jitter depends on the divide ratio between output and input frequencies, and the so-called low band jitter contributions of those sources is bounded by the same equation.

The next sections reviews existing solutions to this problem. It also proposes an original solution whose performance is described by an analytical expression of the resulting jitter contribution due to the phase accumulator.

II. EXISTING SOLUTIONS

A. *Resetting the Phase accumulator*

This solution, proposed in [1], is linked to the fact that after M periods of the input clock (Clk), the content of an ideal phase accumulator should be zero. After M periods of Clk, the ideal phase accumulator contains a phase expressed by Eq. (B.8).

$$Ph_{out} = 2\pi \cdot R \cdot M = 2\pi \cdot \frac{N}{M} \cdot M = 2\pi \cdot N \quad (B.8)$$

Which means that the phase accumulator has generated R times a valid carry output, and that its content is now zero.

The accumulation of the phase error due to the finite resolution of the accumulator can be corrected by resetting the phase accumulator after M periods of Clk. A possible structure that can do this is given in Fig. B.4.

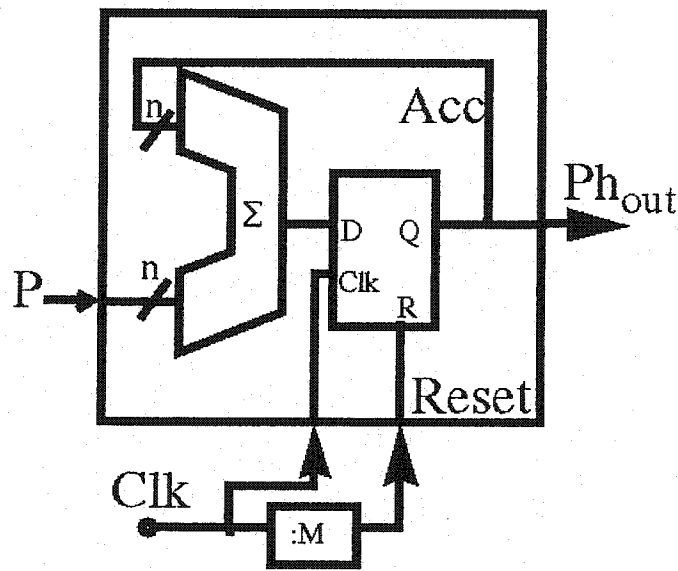


Fig. B.4 Resetting the phase accumulator

While the phase accumulator could express the output period with n bit precision, the error associated with this solution, in the worst case, is given by:

$$J_R = \frac{M \cdot T}{2^n} \quad (\text{B.9})$$

If we select a sufficiently large bit resolution of the phase accumulator (n), the cumulative phase error after M periods of Clk will not exceed the error given by the truncation of the output phase at the input of the LUT. Thus, the phase accumulator can

provide to the LUT the same value as an infinite resolution phase accumulator. To be in this situation, n should satisfy the relation:

$$\frac{M}{2^n} < \frac{1}{2^m} \quad (\text{B.10})$$

B. Variable modulus digital synthesizer

This solution, proposed in [31], consists in a modified phase accumulator, which expresses directly the desired divide ratio.

The new phase accumulator structure is given in Fig. B.5. It consists in a regular phase accumulator, composed of an adder (Σ) and a D-flip-flop, in addition to a feedback controller (FC) and a switch. The FC controls the selection of the phase increment between two different values: V_0 and V_1 . The phase accumulator uses the value V_0 until the carry out (C_{out}) arrives. At that point, the FC changes the switch setting to bring V_1 to the phase increment input of the phase accumulator.

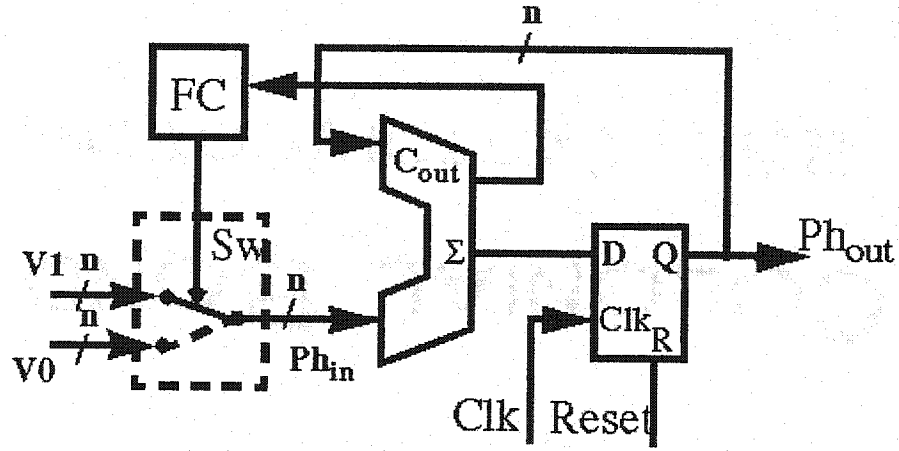


Fig. B.5a VMDS structure

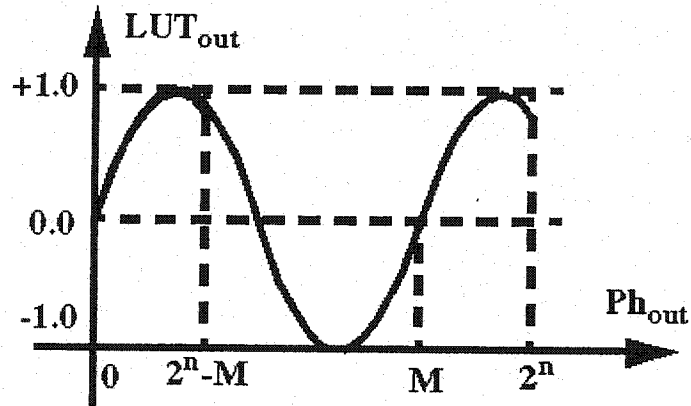


Fig. B.5b VMDS timing diagram

With $V1 \neq V0$, this circuit can produce a division ratio given by Eq. (B.7). With a n bit phase accumulator, where $2^n > M > N$, and subject to the theoretical upper limit frequency of $1/2 f_{\text{Clk}}$ and practical limit of $1/3 f_{\text{Clk}}$, $V0$ and $V1$ can be selected as follows:

$$V0 = N \quad (B.11)$$

$$V1 = 2^n - M + N \quad (B.12)$$

Note that when C_{out} is active, the circuit switches from V_0 to V_1 in the same clock cycle, which creates a possible race condition, which may make the circuit unstable. Also, since 2 additions are sequentially performed, the time required for the adder output to stabilize almost doubles over other phase accumulator implementations.

In steady state, using these phase increment values, the phase accumulator will operate between $2^n - M$ and 2^n . This accumulator can either be initialized in that interval or a LUT covering the full $[0-2^n]$ interval must be provided. Even though the V_1 phase increment differs from V_0 , by adjusting the content of the LUT with a properly shrunk sine wave, the effective phase increments are always uniform and equal to N effective positions in the LUT (skipping over the 0 to $2^n - M$ gap at the beginning of the LUT). Therefore the jitter contributed by the phase accumulator is 0. However, a different LUT content is required for every value of M , which is incompatible with storing it in a ROM when multiple values of M must be supported, as is the case in multi-standard video conversion. Also, even with a RAM based LUT, switching from one value of M to another implies reloading the LUT, which cannot be done without interrupting the frequency synthesis process for a significant time. The method proposed in the following achieves the same performance without these limitations.

III. Proposed architecture

The solution to minimize the phase error proposed here is to change the Φ value at regular intervals. This can eliminate the error corresponding to the finite approximation of the divide ratio.

For example, by taking two different numbers, Φ_0 and Φ_1 , that approximate the divide ratios $R=N/M$, one being smaller and the other greater than $R=N/M$, we can vary the phase increment Φ between Φ_0 and Φ_1 according to a sequence that will reduce and possibly eliminate the output phase error.

Over M clock periods, the Φ_0 and Φ_1 values will feed the phase accumulator input; Φ_0 for a given number of times, A , and Φ_1 for the rest, B , with $A+B=M$.

The following discussion demonstrates how suitably selected values for A and B allow to eliminate the net cumulative error, in order to produce a frequency division by an arbitrary rational divide ratio. It will be shown later how we can control A and B as required.

Solving the following system of equations provides A and B :

$$A+B = M \tag{B.13}$$

$$A*\Phi_0 + B*\Phi_1 = N \tag{B.14}$$

From this system:

$$A = (Ph1 * M - N) / (Ph1 - Ph0) \quad (B.15)$$

$$B = (N - Ph0 * M) / (Ph1 - Ph0) \quad (B.16)$$

The condition for a feasible solution ($A, B > 0$) is:

$$0 < Ph0 < N/M < Ph1 < 1 \quad (B.17)$$

A means of alternating between $Ph0$ and $Ph1$ is shown in Fig. B.6. This circuit is composed of a phase accumulator (Acc), which has a clock input (Clk), a phase output (Ph_{Out}) and a phase input (Ph_{in}). In this circuit, the phase input Ph_{in} is switched by (Sw) between two different numbers $Ph0$ and $Ph1$ presented at its inputs. The Control circuit provides the switch (Sw) with a signal that sets it in order to meet the above requirements for eliminating the phase error.

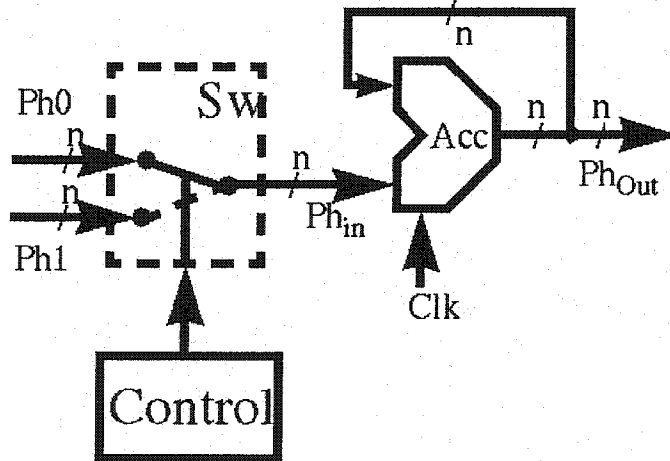


Fig. B.6 Alternating the phase increment number

Coming back to the circuit with only two phase increment values, for a given phase accumulator with n -bit length, where we wish to realize an arbitrary divide ratio $R=N/M$, the preferred method to determine the $Ph0$ and $Ph1$ values is:

$$Ph0 = Rb = \lfloor N/M \rfloor_n \quad (B.18)$$

$$Ph1 = Rb + 1LSB = Ph0 + 1LSB \quad (B.19)$$

Where $Ph0$ approximates down the divide ratio (R) with the floor function (largest integer smaller than the argument) in n -bit fractional binary representation, while $Ph1$ approximates up the divide ratio (R) by adding 1 least significant bit in n -bit fractional binary representation. In this case, by keeping $Ph1 - Ph0 = 1$ LSB, the error can be kept at 1 LSB of the phase accumulator.

Introducing an input carry bit in the phase accumulator is equivalent to adding 1 LSB to the phase increment (Ph), which is the simplest method to change between $Ph0$ and $Ph1$. This solution is presented in Fig. B.7, which contains a phase accumulator (Acc) clocked by Clk , a phase output (Ph_{Out}), a phase input (Ph_{in}), and a carry input (C_{in}). As shown in Fig. B.7, the Control circuit provides the input carry signal to Acc according to an appropriate sequence.

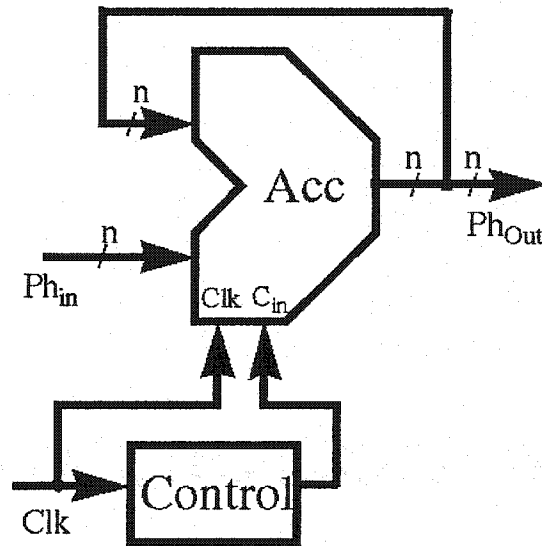


Fig. B.7 Controlling the phase increment number

The jitter given by the proposed method depends on the order in which the Ph_0 or Ph_1 periods are distributed. A simple distribution is presented in Fig. B.8a), where Ph_0 is first used for A periods and Ph_1 is then used for B periods. In this case the maximum jitter, J_s , is:

$$J_s = [B \cdot (1-D)/2(n+1)] \cdot T = [M \cdot D \cdot (1-D)/2(n+1)] \cdot T \quad (B.20)$$

Interleaving periods with Ph_0 and Ph_1 durations systematically produces lower jitter. A good solution would be obtained if the A Ph_0 periods and the B Ph_1 periods were uniformly distributed as shown in Fig. B.8b). The proposed sequence is periodic, which makes it deterministic and easier to synthesize. It can be synthesized by first selecting the smallest between A and B. Without loss of generality, if A is the smallest, the B occurrences of Ph_1 periods are spread as smaller groups of $\lceil B/A \rceil$ Ph_1 periods. Thus the periodic sequence begins with A: 1 times a Ph_0 period, followed by $\lceil B/A \rceil$ times a Ph_1

period. The periodic sequence is completed by a last segment composed of a Ph0 period followed by $(B-(A-1)*\lceil B/A \rceil)$ times a Ph1 periods.

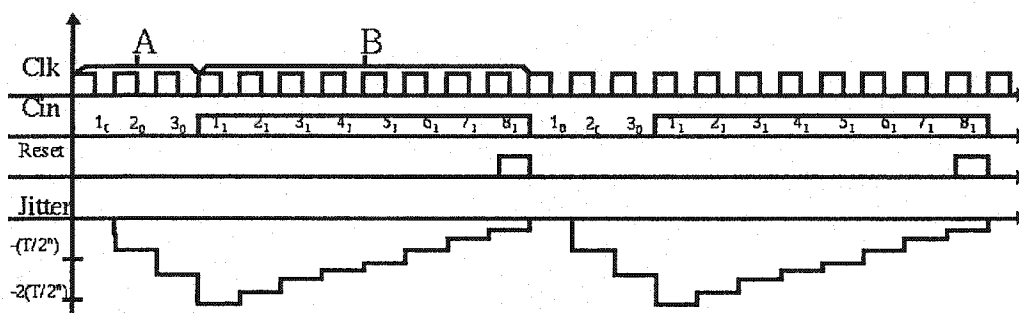


Fig. B.8a) The simple distribution of Ph0 and Ph1

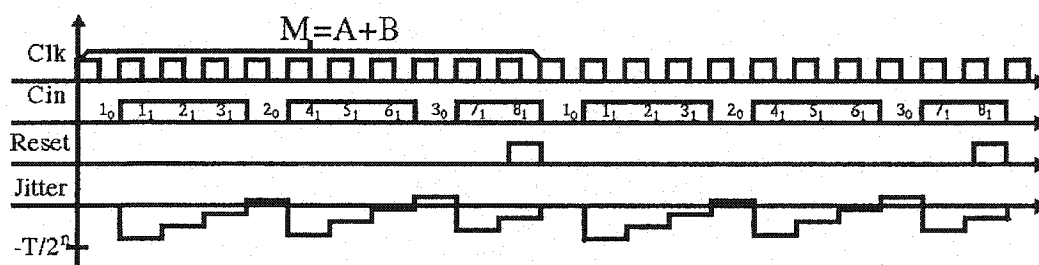


Fig. B.8b) The uniform distribution of Ph0 and Ph1

Note : Les équations qui décrivent la façon de générer la distribution uniforme des périodes Ph0 et Ph1 dans le dernier paragraphe de la page précédente sont erronées. On devrait utiliser des équations basées sur le calcul B modulo M. Malheureusement, la version originale de cet article contient l'erreur mentionnée. Dans l'annexe C on présente un circuit qui génère cette séquence uniforme des périodes Ph0 et Ph1, telle que décrite dans la figure B.8.b).

This periodic sequence spreads as uniformly as possible A period of Ph0 duration and B periods of Ph1 duration. In that case the maximum jitter, J_u , can be bounded by:

$$J_u < (1/2n)*T \quad (B.21)$$

because the sequence is self-compensating, and the maximum jitter induced by a subsequence is smaller than the duration represented by 1 LSB fraction of the period expressed as $T/2^n$.

For instance, Fig. B.8 presents the case of a 12 bit phase accumulator which implements a divide ratio given by $N/M=2/11$. In this particular case, by using Eq. (B.18) we found $Ph0 = 0.0010,1110,1000b$ and according to (B.14) and (B.15) $A=3$ and $B=8$. This implementation refers to Fig. B.7, where the C_{in} signal is provided to a $n=12$ bit phase accumulator.

In the first example with the grouped phase increment values shown in Fig. B.8a), we observe that the C_{in} signal has the value 0 for $A=3$ periods of Clk, marked as $1_0, 2_0, 3_0$, followed by the 1 value for $B=8$ periods of Clk, marked as $1_1, 2_1, \dots, 8_1$. The Reset signal marks the M^{th} clock period, and the peak jitter is $(A*B/M)*(T/2^n)=2.181)*(T/2^n)$. If we re-center the phase to its average value, the jitter is reduced to half of its peak value, which corresponds to Eq. (B.20).

In Fig. B.8b), the A and B periods are uniformly interleaved. The marked periods follow the order $1_0, 1_1, 2_1, 3_1, 2_0, 4_1, 5_1, 6_1, 3_0, 7_1, 8_1$. In M clock periods, C_{in} has the 0 value for the same $A=3$ periods, and the 1 value for the same $B=8$ periods. Note that in this case

the lowest peak of the phase is $-(B/M)*(T/2^n)$ and the highest peak is $(A/M)*(T/2^n)$, so the peak-to-peak jitter will be $(A+B/M)*(T/2^n) = (M/M)*(T/2^n) = T/2^n$.

The phase error given by the distribution shown in Fig A8.b) is smaller than $T/2^n$, thus this structure is equivalent to an ideal phase accumulator.

In order to obtain the desired uniform distribution of the Ph0 and Ph1 periods, we can control the C_{in} signal of the phase accumulator by using the Carry out signal of a second phase accumulator. This second phase accumulator will naturally generate a Carry out signal with the distribution shown in Fig. B.8.b).

IV. Conclusion

A correction method of the phase error in phase accumulators has been proposed. The method consists in changing the phase increment according to a proposed algorithm, in order to eliminate the phase error associated with the finite dimension of the accumulator.

A chip using the proposed method has been fabricated in 0.35mm TSMC CMOS technology provided by CMC. The chip was designed to achieve a maximum 2ns peak-to-peak output jitter.

The output jitter of the chip, measured with an oscilloscope, shows a 1.5ns peak-to-peak jitter one period after the trigger. By delaying the window of the oscilloscope with 10ms we have measured the same 1.5ns peak-to-peak jitter. Therefore the low-band jitter contribution of the test chip was negligible.

The Fig. B.9 presents the layout of the DDS test chip

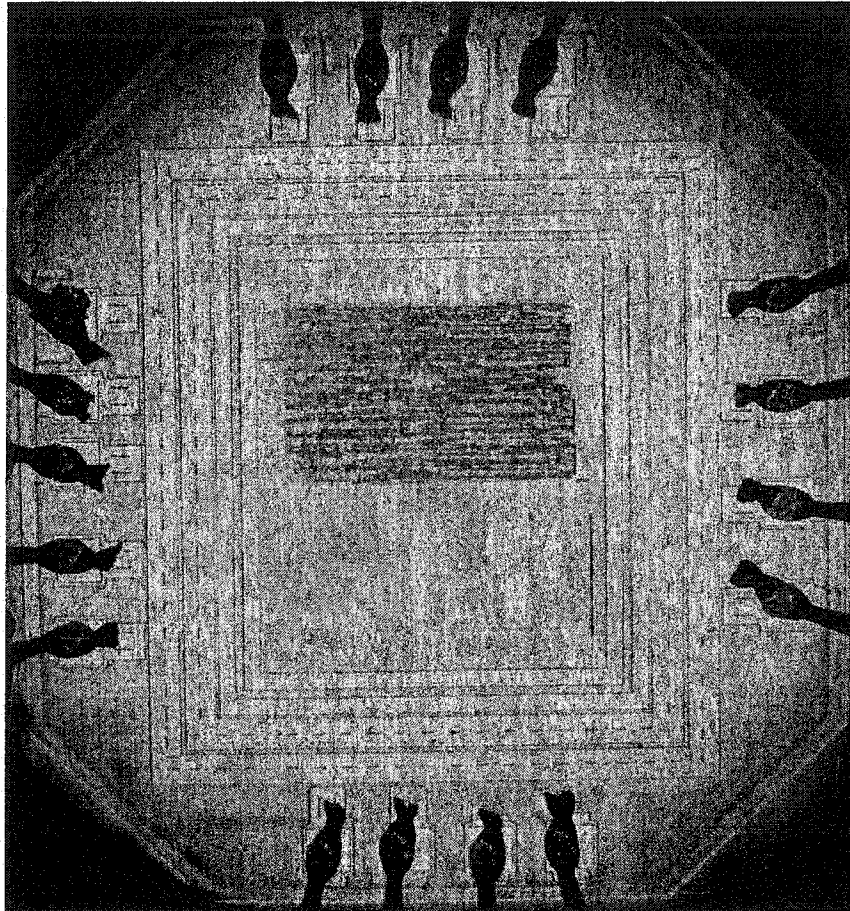


Fig. B.9 The Chip Layout.

V. ACKNOWLEDGEMENTS

The authors wish to thank Miranda, Gennum and Micronet for their financial support for this research and the Canadian Microelectronics Corporation for providing the tools and technology access for implementing a prototype chip demonstrator.

Annexe C.

Cette annexe présente le circuit de contrôle de l'incrément de phase.

Phase increment's control mechanism for the DDFS of low-jitter clocks

The best approach to obtain an equal distribution of Ph0 and Ph1 is to use a second phase accumulator. The carry-out bit of this phase accumulator will be used as carry-in bit of the first phase accumulator. This second phase accumulator will naturally generate a Carry out signal with the distribution shown in Fig. B.8b). Fig. C.1 shows a control circuit built by using this method.

The Control circuit (Control) contains the second phase accumulator (PhAcc2), a binary comparator ($=$), and two D-flip-flops having a synchronous reset capability. Those D-flip-flops are used in order to break the carry chain between the binary comparator and the PhAcc2, and between the PhAcc2 and the first phase accumulator, which is not shown. An OR gate provides an external reset capability (R).

PhAcc2 accepts as inputs the clock signal (Clk), and its phase increment Gb used to control the distribution of the Ph0 and Ph1 periods. By choosing this Gb, we systematically produce the C_{out} signal with the needed uniform distribution. In M periods of clock, this PhAcc2 produces B times a $C_{out}=1$, and on the M^{th} period, it must be resetted.

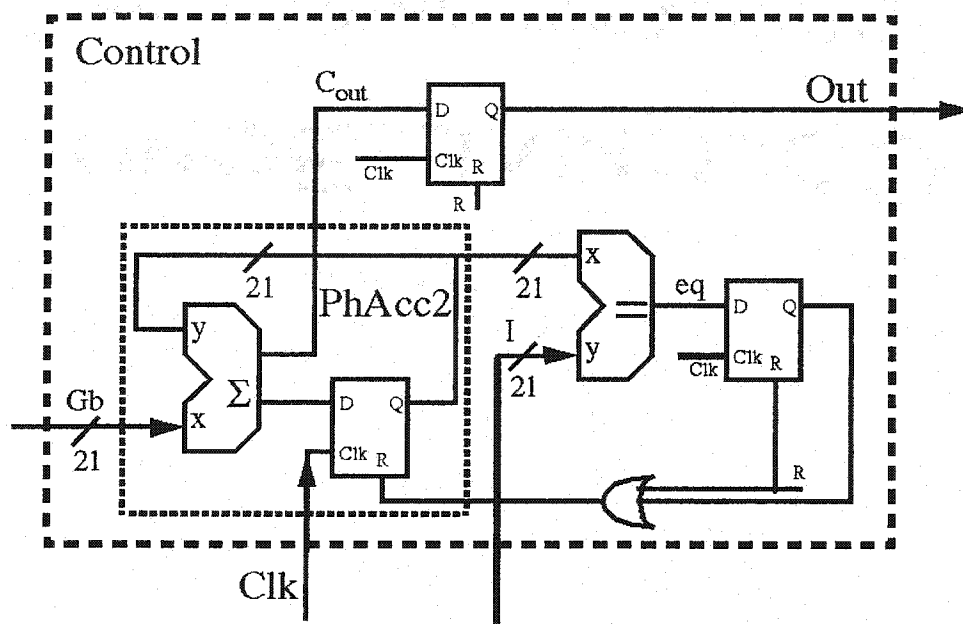


Fig. C.1 The control circuit

The output phase of PhAcc2 is used to determine when PhAcc2 reaches the M -th clock pulse, which triggers a reset of PhAcc2. This output phase is compared with a predetermined number (I) and is used to generate a reset signal for the second phase accumulator (PhAcc2).

When the predetermined number (I) and the output phase of PhAcc2 are equal, the output of the binary comparator ($=$) is set and, in the next clock period the PhAcc2 is reset. Note that the latch present at the Comp output is optionally used, to reduce the dimension of the carry chain formed by the binary comparator and PhAcc2.

We have to make the second phase accumulator bit-length one bit larger than $\log_2(M)$. This allows us to make the LSB of this PhAcc2 equal to 1, without changing the

sequence of C_{out} for the first M periods of Clk . By doing this, the repetition period of the output phase of $PhAcc2$ will be equal to 2 power its bit length.

The rest of this section provides a method to calculate G_b and I .

The required dimension of the second phase accumulator, P , is given by:

$$P = \log_2(M) + 1 \quad (C.1)$$

For $M=709379$ we obtain $P=21$

The following algorithm gives the G_b argument:

$$\begin{aligned} &\{ \\ &X = \lceil B/M \rceil_P \\ &\text{If } \quad \text{LSB}(X)=1 \\ &\quad \text{then} \quad G_b = X \\ &\quad \text{else} \quad G_b = X + 1_{\text{LSB}} \\ &\text{end if} \quad \quad \quad \} \quad (C.2) \end{aligned}$$

Where $\lceil B/M \rceil_P$ means the ceiling of B/M represented on P bits, and B comes from equation (A.16). This ensures that the carry-out bit will be B times '1' in M periods of clock. Also, because the $\text{LSB}(G_b)='1'$ the cycle of repetition of the phase accumulator content is equal to 2^P clock periods, where the exponent P comes from equation (C.1).

A good means to control the reset of $PhAcc2$ at the M -th clock period is to anticipate ahead of time its value at the time of reset. For instance, assuming a two cycle latency,

we can set the target comparison reference, I , equal to the expected value of PhAcc2 after $M-2$ periods. This allows one cycle to perform the comparison, and one more cycle for the synchronous reset of the accumulator to be effective. I is thus computed as follows:

$$F = (M-2) \cdot G_b, \quad (\text{C.4})$$

$$H = F - \lfloor F \rfloor \quad (\text{C.5})$$

$$I = H_p \quad - H \text{ in } p \text{ bit binary representation.} \quad (\text{C.6})$$

Note that the phase accumulator only contains the fractional part that results from the phase accumulation process.

By using the G_b and I values determined with (C.2) and (C.6), the Out signal of the Control circuit has the uniform distribution given in Fig. B.8b), but it is delayed by two clock cycles relative to the reset signal (assuming we use a 2 cycle latency in order to break the carry chain length). This does not cause jitter, since it corresponds to a constant phase shift. However, we could correct the error by resetting the first phase accumulator two clock cycles after the reset of the control circuit.

Annexe D.

Cette annexe reproduit l'article :

D. Calbaza, Y. Savaria - "A direct digitally delay generator" Proceedings on IEEE CAS'2000, V1, pp 87-90, Sinaia, Romania

A DIRECT DIGITALLY DELAY GENERATOR

Dorin Emil Calbaza, Yvon Savaria

Department of Electrical & Computer Engineering, Ecole Polytechnique de Montreal,

Tel: +1-514-340-4711 ext.4737, Fax: +1-514-340-4063,

Email: calbaza@grm94.polymtl.ca , savaria@vlsi.polymtl.ca

P.O. Box 6079, Station Centre-ville, Montreal (Qc), Canada H3C 3A7

Abstract -- The development of communication systems in the past years has increased the necessity to synthesize very accurate clocks, having large frequencies and very low jitter. In the same large numbers expresses the divide ratios between the frequencies of the clocks that we have to synchronize.

This paper presents a new type of circuit named Direct Digitally Delay Generator (DDDg), able to synthesize frequencies up to 1GHz with a jitter below 200ps.

Index terms — Direct Digital Synthesis, Phase Accumulators, Frequency Synthesis, HDTV.

I. INTRODUCTION

The Direct Digital Synthesis (DDS) is a popular technique able to synchronize clocks having the divide ratio expressed by large numbers, with good jitter performance. However the maximum frequency of the clock used by a DDS circuit cannot exceed 200MHz in a regular 0.25 μ m CMOS technology, having the frequency of the output clock to be limited at 60MHz.

Some applications from digital television demands the synchronization between clocks having frequencies larger than those imposed by the DDS circuits. For example, high definition television (HDTV) has a bit rate of 1.5GHz, and it specifies a maximum clock jitter of 134ps. Existing DDS circuits can meet the jitter performance, but not the frequency which is too high.

The following presents a brief introduction to DDS in order to clarify some limitations of its basic architecture. For a more complete introduction to DDS, the reader can consult references [1,12,27] or reference [1], where the authors have developed an original analysis of the jitter produced by a DDS.

Direct digital synthesis (DDS) circuits have been largely used in communication systems, where the main emphasis is on spectral properties, particularly the spectral purity of a

signal depending on implementation constraints – bit resolution, linearity, clock accuracy etc. [1,12,27].

Fig. D.1 presents the general structure of a DDS. It contains an Accumulator (ACC), a Look-Up-Table (LUT), a Digital to Analog Converter (DAC), a Filter (F), and a Comparator (C).

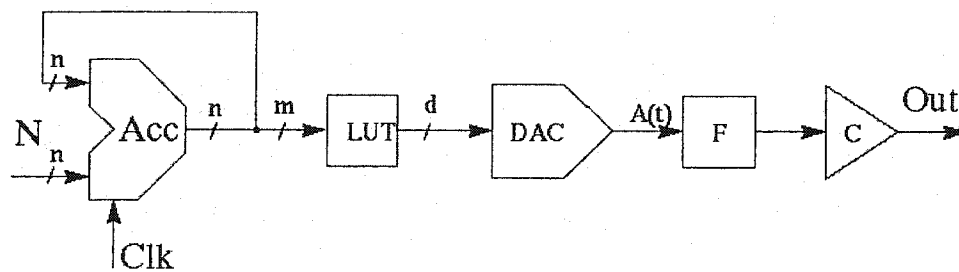


Fig. D.1 – DDS circuit

At each period $T = 1/f_{\text{Clk}}$ of Clk clock, a DDS adds a digital number N to its cumulative phase. This number N is the numerical representation, with n bit resolution, of the phase increment Ph . Note that we have always $\text{Ph} < 1$. The cumulative phase is then converted in its sine value by the LUT, sine value converted into an analog signal by the DAC. The resulting signal, $A(t)$, approximates a sinusoidal signal at the same frequency as the desired signal. From $A(t)$, we can use a filter to cut the undesired frequency components, and a comparator to generate the desired output clock (Out).

The output frequency (f_a) of this signal will be [11]:

$$f_a = f_{clk} \cdot \frac{N}{2^n} = f_{clk} \cdot Ph \quad (D.1)$$

Where n is the bit resolution of Acc, f_{clk} is the Clk clock frequency; N and Ph are the input number and the phase increment number.

The authors have described a method to control the phase increment number of a regular DDS circuit in order to simulate a divide ratio expressed by an arbitrary rational number [30].

The spectrum of the signal generated by a DDS circuit is illustrated in Fig. D.2.

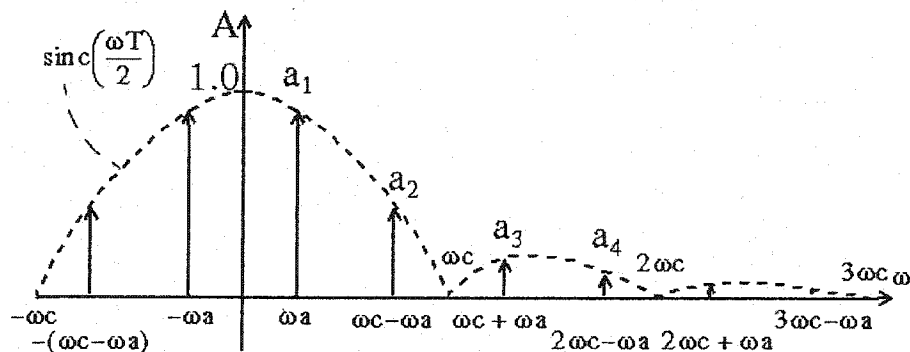


Fig. D.2– DDS spectrum

In this spectrum, the most important component is the fundamental, which has the desired frequency. Its equation is:

$$A_1(t) = \sin c\left(\frac{\omega_a \cdot T}{2}\right) \cdot \sin\left(\omega_a \cdot t - \frac{\omega_a \cdot T}{2}\right) = a_1 \cdot \sin(\omega_a \cdot t - \varphi_1) \quad (D.2)$$

The rest of the harmonic components are undesired and must be filtered. The theoretical upper limit of the frequency that the Fig. D.1 structure can generate is $1/2f_{\text{clk}}$. However, practical constraints associated with the filter F feasibility suggest restricting the range of generated frequencies to $1/3f_{\text{clk}}$. Note that the clock frequency is limited by the maximum frequency of the slowest element on the design, which is usually the DAC or the LUT. According to [18] the maximum clock frequency can be around 125MHz. A fully integrated chip design can increase this frequency up to 200MHz with a $0.25\mu\text{m}$ CMOS technology, but the filter constraints must be relaxed.

However producing stable frequencies higher than 100 MHz is not obvious, even on-chip. Usually on-chip accurate high-speed clocks are obtained by frequency multiplication with a PLL. A 10-50 MHz crystal is used as the reference to produce clocks as fast as 2GHz. Such PLLs will produce a jitter, which according to literature is about 200-400ps peak-to-peak, and about 400-600ps for the low-band jitter [52].

The output signal generated by a DDS will be jittered, even if derived from a zero-jitter input clock. The value of the output jitter, depending on implementation constraints [1], will exceed 300ps peak-to-peak [18].

The output frequency of the DDS is also limited. For instance, using a 125MHz input clock, one could generate a 40MHz output frequency, even though the constraints imposed by the filter are difficult to meet, especially for a mass production devices.

Based on our experience with implementing integrated DDS, producing an output frequency around 25MHz is more feasible, but that falls short of the requirements of applications like HDTV. Indeed, target frequencies with DTV are 27, 36 and 75MHz. If the first is feasible the latter seems unrealistic. Thus, there is a need to increase the frequency of the DDS output signal, and a PLL is a possible solution. However a PLL adds jitter and this is not really acceptable when the DDS alone hardly meets the desired specifications. The next sections review some interesting papers addressing this problem, and propose an original solution found by the authors to solve it.

II. Existing Solutions

A. DDS-PLL combinations

In order to increase the output frequency of a DDS, some papers [53] describe solutions that use a DDS like a frequency divider in a classical PLL synthesizer. The DDS can be used to divide a reference clock (Clk) and the output of the DDS will be used as a reference signal by a classical PLL with a divide ratio of 100 in the loop. Since the output of the PLL has a frequency 100 times larger than the DDS, we can achieve up to 4GHz output frequency. However, the cumulative jitter of the DDS and PLL can exceed 1ns.

B. Eliminating the LUT

While phase accumulators can go up to 1 GHz in a conventional CMOS 0.25 μm technology, the speed of a DDS will be limited by the LUT and the DAC. An interesting solution was proposed in [41], where the authors increase the frequency of the phase accumulator by pipelining. By using a pipelined phase accumulator, without using the LUT and DAC, the input clock frequency can go up to 2.5 GHz, which give a 400ps peak-to-peak jitter contribution. However, as discussed earlier, using a PLL in order to increase a 50MHz reference frequency up to 2.5GHz will give another jitter of approximately 200ps, thus the cumulative output jitter will exceed 600ps peak-to-peak.

C. Using a digitally controlled delay generator

Some DDS circuits using a digitally controlled delay generator are described by [46].

In those circuits, an integrator that generates a ramp signal of a duration equal to the clock period with a maximum amplitude limited by the reference voltage used by the DAC. This ramp signal is enabled by the carry produced by the phase accumulator (ACC) and it is reset by the output signal. The output phase generated by the phase accumulator is converted by a DAC, and the comparator generates an up transition when the ramp signal becomes greater than the output of the differential amplifier. This

transition is delayed from the clock rise by a fraction of the clock period, according to the output of the accumulator.

The speed of those circuits is limited by the speed of the DACs, and of the differential amplifiers, and will not exceed 200MHz. The precision of the circuits depends on the precision of the DAC and integrators. No jitter analysis of the signal generated by those circuits is available.

D. Using delay line loops circuits

A digitally controlled delay line (DCDL) generator is a powerful circuit. It uses a delay line loop to generate the transition of the output signal between the transitions of the input clock. This circuit is used in [42-44].

In Figure D.3 is presented the block diagram of a DCDL. The circuit includes a delay line loop able to produce a given number of clocks, having the same frequency as the input clock frequency. Those clocks are delayed by a constant factor and can be used by a transition selector in order to select, according to the output phase given by the accumulator, one of the produced clocks to be propagated to a D flip-flop clock input. Those clocks control the sampling of the carry output of the phase accumulator. Thus, the output signal is generated in the clock period when the carry is active, and it is delayed from the clock signal according to the output of the accumulator.

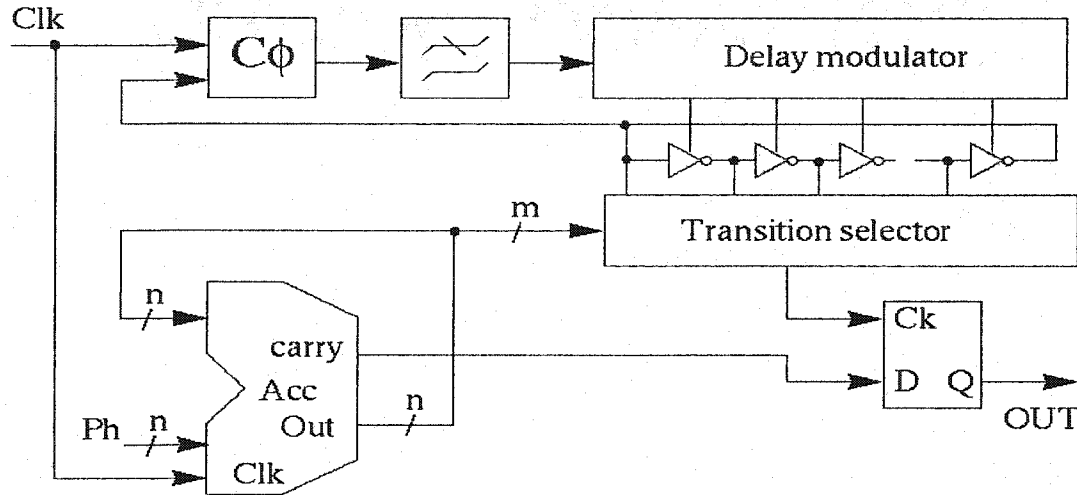


Fig. D.3 – Bloc diagram of a DCDL

The resolution of this circuit is determined by the minimum delay achievable with a technology, which is smaller than 50ps for a 0.25 μ m CMOS technology. The phase comparator used to control the DLL period adds a jitter of approximately 100ps peak-to-peak. However increasing the frequency of a clock reference up to 1.5 GHz adds another jitter of approximately 200-400ps peak-to-peak. Thus, the performance of this circuit should be around 300-500ps cumulative jitter peak-to-peak.

III. Proposed Architecture

This paper proposes a circuit that can multiply the reference clock frequency with a fractional number, and eliminates the need to use an initial PLL in order to increase the

frequency of the clock. The speed of this circuit goes up to 1.25GHz and its resolution is below 50ps.

Fig. D.4 and Fig. D.5 present the general block diagram and the timing diagram of this circuit.

The block diagram contains a transition generator (TGen), which produces a given number of output phases of the input clock (Clk). Supposing an input clock having 3.2ns period, this TGen circuit can produce 64 different clocks having the transition delayed with 50ps one from another. A transition selector circuit is responsible for selecting one of these transitions to be propagated to the output clock (Oc), according to the output produced by the phase accumulator (Acc). In this case only the 6 MSB of the Acc output will be used to select one of the 64 transitions. The propagated transition will be used to control the phase increment.

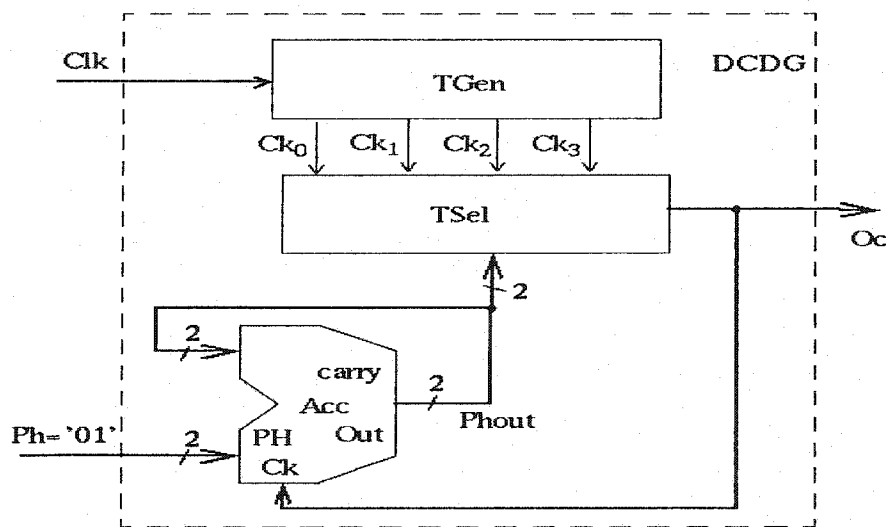


Fig. D.4 – Bloc diagram of DDPS

However, for simplicity, in the block diagram the transition selector use the output phase of a 2 bits phase accumulator, selecting from the 4 clocks, Ck_0 to Ck_3 , generated by a transition generator. Those clocks are the phases of a 3.2ns period input clock, delayed with 800ps, Ck_0 being in phase with Clk.

A simple but key innovation compared with previous DCDL architectures is the use of the output clock signal (Oc) generated by a digitally controlled transition generator (DCDG), to control the phase accumulator. By using Oc, its period can be made equal to a fraction of the Clk clock period (T). That fraction is specified by the phase increment Ph.

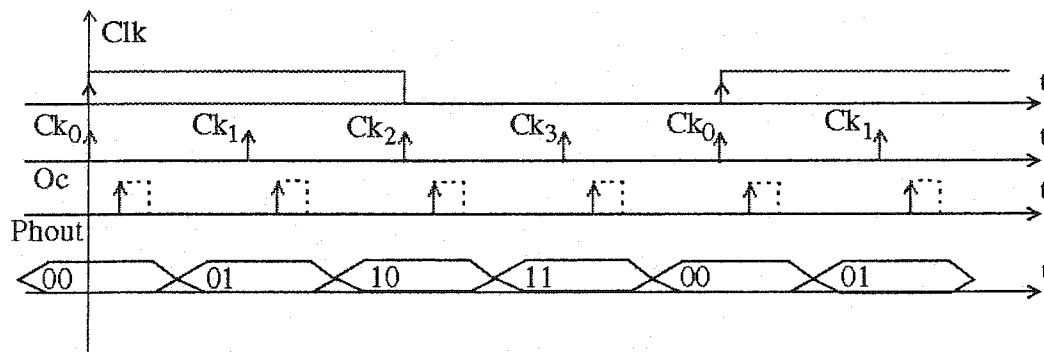


Fig. D.5 – Timing diagram

The timing diagram presents the case for $Ph = '01'$. At each pulse of the Acc clock, the output phase goes from '00' to '01', '10', '11', and repeats itself.

We start with an output phase equal to '00'. This selects Ck_0 to be propagated at the output (Oc). After a delay given by the technology speed, that transition will generate a pulse on the Oc signal, pulse that will determine the increment of the Acc. The output

phase becomes '01', and will select the Ck_1 to be propagated to the Oc . If the output phase changes before the arriving of the Ck_1 , such in our case, the DCDG acts as a frequency multiplier. The new pulses at the Acc clock input change its output phase to '10', '11', '00', '01', and so on, selecting Ck_2 , Ck_3 , Ck_0 , Ck_1 , to be propagated to the output clock (Oc).

The frequency of the output signal (f_{Oc}) will be:

$$f_{Oc} = \frac{f_{Clk}}{Ph} \quad (D.3)$$

Where $Ph < 1$ is the phase increment.

Note that if Ph number is too small, the selected clock arrives before the change on the output phase. We will have to wait the next selected clock transition, and in this case the output clock frequency will be:

$$f_{Oc} = \frac{f_{Clk}}{1.0 + Ph} \quad (D.4)$$

By using a phase accumulator having a bit number larger than the transition selector input, we can express the output frequency with a better precision. A 32-bit phase accumulator allows controlling the output clock frequency with sub-hertz precision. However, the time resolution of the output transition, and implicitly the output jitter, is determined by the delay between the clocks given by the transition generator. This delay

is given by the minimum delay of the technology, i.e. less than 50ps on 0.25mm CMOS.

Also, we can further reduce this delay, until 10ps, by using some means to control it.

A schematic description of this circuit using a TGen that produces 64 clocks delayed with 50ps and the corresponding transition selector and phase accumulator circuits has been simulated. The results are presented in Fig. D.6. The simulation shows on top the Ck_0 , having a 3.2ns period. On the bottom we have eight pulses on the output clock corresponding to the setup of the DCDG, followed by 4 regions, where the output period changes from 3.15ns to 800ps, to 1.6ns, and to 2.4ns, according to the command given by the Ph number. The corresponding Ph was '111111', '010000', '100000' and '110000'.

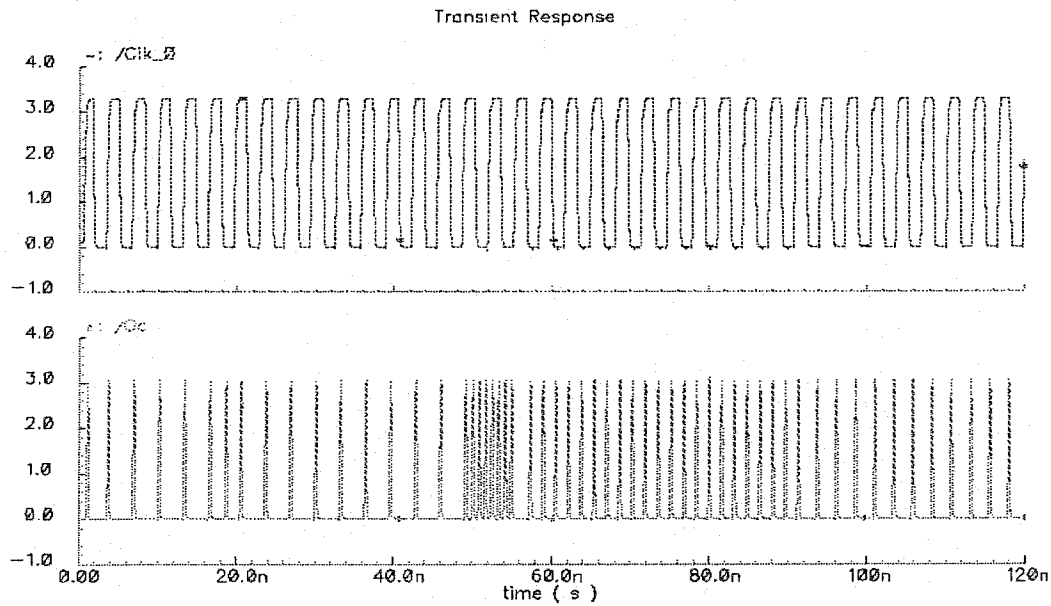


Fig. D.6 - Simulation results

Applications of this circuit can be found in cellular phone systems, digital television, and frequency hopping systems. Moreover, an interesting application of this circuit will be its use as a Numerically Controlled Crystal Oscillator (NCXO), similar with a Voltage

controlled crystal oscillator, but which uses a binary word and not the voltage, in order to control the output frequency. This circuit can be also used to implement very accurate digitally controlled pulse width modulations. A variation of this circuit could also be used to dynamically control the clock period in a digital system.

IV. CONCLUSION

An improved DDS based circuit has been proposed. This circuit can multiply a reference clock frequency with a fractional number, which eliminates the need to use an initial PLL in order to increase the frequency of the clock that drives a DDS. The speed of this circuit goes up to 1GHz, and its resolution is below 50ps. This circuit can be used in all known applications of a DDS and in PWM circuits.

V. ACKNOWLEDGEMENTS

The authors wish to thank Miranda, Gennum and Micronet for their financial support for this research.